

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-041482

(43)Date of publication of application : 13.02.1998

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
H01L 21/285  
H01L 21/768

(21)Application number : 08-189424

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.07.1996

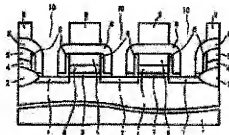
(72)Inventor : IKEMASU SHINICHIROU  
OKAWA SHIGEMI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable a nitride film spacer SAC structure to be applied to a polyside structure so as to enhance a semiconductor device in degree of integration by a method wherein a second insulating film of silicon nitride is formed covering a first insulating film formed on the upside and side wall of a conductive layer pattern.

**SOLUTION:** A gate electrode of laminated structure composed of a silicon film 4 and a silicide film 5 is formed on a substrate 1 possessed of an active layer region demarcated with a field insulating film 2 through the intermediary of a gate oxide film 3. The upside and side face of the gate electrode are covered with a silicon nitride film 8. An oxide film 6 is provided between the silicon nitride film 8 serving as a spacer and the side wall of the gate electrode. The above structure can be applied to another wiring layer such as a bit line of polycide structure or the like besides the gate electrode of a MOS transistor. By this setup, an oxide film can be formed through a thermal oxidation method. A silicide film can be restrained from being separated off by the use of the above oxide film.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-41482

(43) 公開日 平成10年(1998) 2月13日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 1 L	27/108		H 0 1 L	27/10	6 8 1 F
	21/8242			21/285	3 0 1 R
	21/285	3 0 1		21/90	C
	21/788			27/10	6 2 1 C

審査請求 未請求 請求項の数69 O L (全 39 頁)

(21) 出願番号 特願平8-189424

(22) 出願日 平成 8 年(1996) 7 月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 池増 慎一郎

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 大川 成実

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

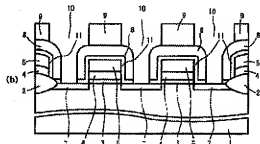
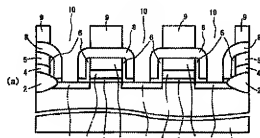
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 256MDRAM以降の高集積度のDRAMを、その信頼性を損なうことなく安定して実現する半導体装置及びその製造方法を提供する。

【解決手段】 少なくとも金属または金属シリサイドを一層含む導電層パターンの側壁部に形成されたシリコン窒化膜以外の絶縁膜からなる第1の絶縁膜と、前記導電層パターンの上部と導電層パターンの側壁部に形成された第1の絶縁膜を覆うように形成されたシリコン窒化膜からなる第2の絶縁膜とを有することを特徴とする半導体装置またはその製造方法。また、前記第1の絶縁膜は、導電層パターンの側壁部と上部を覆うように形成されたことを特徴とする半導体装置またはその製造方法。

本発明の説明図



## 【特許請求の範囲】

【請求項1】 少なくとも金属または金属シリサイドを一層含む導電層パターンと、前記導電層パターンの側壁部に形成されたシリコン窒化膜以外の絶縁膜からなる第1の絶縁膜と、前記導電層パターンの上部と導電層パターンの側壁部に形成された第1の絶縁膜を覆うように形成されたシリコン窒化膜からなる第2の絶縁膜とを有することを特徴とする半導体装置。

【請求項2】 少なくとも金属または金属シリサイドを一層含む導電層パターンと、前記導電層パターンの側壁部と上部を覆うように形成された、シリコン窒化膜以外の絶縁膜からなる第1の絶縁膜と、前記導電層パターンを覆う前記第1の絶縁膜を覆うように形成されたシリコン窒化膜からなる第2の絶縁膜とを有することを特徴とする半導体装置。

【請求項3】 前記第1の絶縁膜は、前記導電層パターンの側壁部と上部とで異なる膜で構成されていることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記第1の絶縁膜は、前記導電層パターンの側壁部に位置する前記シリコン窒化膜からなる第2の絶縁膜の下部にもあることを特徴とする請求項1または2記載の半導体装置。

【請求項5】 前記導電層パターンはMISトランジスタのゲート電極を構成することを特徴とする請求項1または2記載の半導体装置。

【請求項6】 前記第1の絶縁膜はシリコン酸化膜からなることを特徴とする請求項1または2記載の半導体装置。

【請求項7】 前記第1の絶縁膜は導電層パターン上面では側面よりも厚く形成されていることを特徴とする請求項2記載の半導体装置。

【請求項8】 前記シリコン窒化膜からなる第2の絶縁膜上に形成された、シリコン窒化膜とエッチング特性の異なる第3の絶縁膜と、前記第3の絶縁膜に形成され、その底部の一部が前記シリコン窒化膜上にかかるように形成されたコンタクト窓を有することを特徴とする請求項1から5記載の半導体装置。

【請求項9】 前記第3の絶縁膜の表面は、前記半導体基板に対して概ね平行となるように形成されていることを特徴とする請求項8記載の半導体装置。

【請求項10】 基板上に、略平行に、かつ複数本配置された第1の導電層と、第1の導電層上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成されたシリコン窒化膜からなる第2の絶縁膜と、前記第1、第2の絶縁膜を貫いて形成され、前記複数の第1の導電層の間に形成された第1のコンタクト窓と、

前記コンタクト窓内に形成された第2の導電層と、前記シリコン窒化膜からなる第2の絶縁膜上に形成された、前記シリコン窒化膜とエッチング特性の異なる第3の絶縁膜と、前記第3の絶縁膜中に形成され、前記第2の導電層上に位置する第2のコンタクト窓と、前記第2のコンタクト窓を介して前記第2の導電層と接続する第3の導電層とを有することを特徴とする半導体装置。

【請求項11】 前記第2のコンタクト窓は前記第2の導電層の外側の前記第2の絶縁膜上の領域まで形成されていることを特徴とする請求項10記載の半導体装置。

【請求項12】 前記第3の導電層は、導電体と、シリコン窒化膜からなる第4の絶縁膜の積層体で構成され、前記第4の絶縁膜は前記第2の絶縁膜の厚さよりも大きいことを特徴とする請求項10記載の半導体装置。

【請求項13】 半導体基板上にゲート絶縁膜を介して形成されたMISトランジスタのゲート電極と、前記ゲート電極の両側の基板中に形成された、ソースまたはドレインとなる第1と第2の不純物拡散層領域と、前記ゲート電極と第1と第2の不純物拡散層領域を含む前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成されたシリコン窒化膜からなる第2の絶縁膜と、

前記第1と第2の絶縁膜を貫いて前記第1の不純物拡散層領域に到達する第1のコンタクト窓と、前記第2の不純物拡散層領域に到達する第2のコンタクト窓と、

前記第1のコンタクト窓内に形成され、前記第1の不純物拡散層領域上に接続された第2の導電層と、前記第2のコンタクト窓内に形成され、前記第2の不純物拡散層領域上に接続された第3の導電層と、

前記第2と第3の導電層を含む前記第2の絶縁膜上に形成された第3の絶縁膜と、

前記第3の絶縁膜を貫き、前記第2の導電層に到達する第3のコンタクト窓と、

前記第3のコンタクト窓を介して前記第2の導電層と接続する第4の導電層とを有することを特徴とする半導体装置。

【請求項14】 さらに、前記第3の絶縁膜を貫き、前記第2の不純物拡散層領域に接続された前記第3の導電層に到達する第4のコンタクト窓と、前記第4のコンタクト窓を介して前記第3の導電層と接続する、蓄積電極となる第5の導電層と、前記第5の導電層と対向して、キャパシタ絶縁膜を介して形成された、対向電極となる第6の導電層を有することを特徴とする請求項13記載の半導体装置。

【請求項15】 前記第5の導電層は、底面部と、基板に対して垂直に形成された筒状の形状を有することを特徴とする請求項14記載の半導体装置。

【請求項16】 前記第3のコンタクト窓は前記第2の導電層の外側の前記第2の絶縁膜上の領域まで形成されていることを特徴とする請求項1記載の半導体装置。

【請求項17】 前記第4のコンタクト窓は前記第3の導電層の外側の前記第2の絶縁膜上の領域まで形成されていることを特徴とする請求項1記載の半導体装置。

【請求項18】 前記第5の導電層の底面部の一部が前記第2の絶縁膜の上部と接触する部分を有することを特徴とする請求項1記載の半導体装置。

【請求項19】 前記第6の導電層の端部と前記第2の絶縁膜の端部とが、平面的に一致することを特徴とする請求項1記載の半導体装置。

【請求項20】 前記第4の導電層は、導電体とシリコン窒化膜からなる第4の絶縁膜の積層体で構成され、前記第4の絶縁膜は前記第2の絶縁膜の厚さよりも大きいことを特徴とする請求項1記載の半導体装置。

【請求項21】 シリコン基板上にゲート絶縁膜を介して形成されたMISトランジスタのゲート電極と、前記ゲート電極の両側の基板中に形成された、ソースまたはドレインとなる不純物拡散層領域と、

前記ゲート電極と前記不純物拡散層領域を挟む前記シリコン基板上に形成された第1の絶縁膜と、前記第1の絶縁膜を貫いて前記不純物拡散層領域の少なくとも一方に到達する第1のコンタクト窓と、

前記第1のコンタクト窓内に形成され、前記不純物拡散層領域に接続された第2の導電層と、

前記第2の導電層を含む前記第1の絶縁膜上に形成された第2の絶縁膜と、

前記第2の絶縁膜上に形成されたシリコン窒化膜からなる第3の絶縁膜と、

前記第2、第3の絶縁膜を貫き、前記不純物拡散層領域に接続された前記第2の導電層に到達する第2のコンタクト窓と、

前記第2のコンタクト窓を介して前記第2の導電層と接続し、底面部と、基板に対して垂直に形成された筒状の形状を有し、蓋部電極となる第3の導電層と、

前記第3の導電層と対向して、キャパシタ絶縁膜を介して形成され、かつ、一部は前記第3の絶縁膜の表面とキャパシタ絶縁膜を介して接触する第4の導電層とを有することを特徴とする半導体装置。

【請求項22】 前記第4の導電層の端部と前記第3の絶縁膜の端部とが、平面的に一致することを特徴とする請求項21記載の半導体装置。

【請求項23】 基板からの距離の異なるレベルに形成された第1と第2の導電層と、

前記第1と第2の導電層を含む前記基板上に形成された第1の絶縁膜と、

前記第1の絶縁膜を貫いて前記第1の導電層の表面が露出するように形成された第1のコンタクト窓と、

前記第1の絶縁膜と前記第2の導電層を貫いて形成され

た第2のコンタクト窓と、少なくとも前記第1、第2のコンタクト窓の中に形成され、前記第1のコンタクト窓を通して前記第1の導電層の表面と接続され、前記第2のコンタクト窓を通して前記第2の導電層の側壁部と接続される第3の導電層とを有し、

前記第1の絶縁膜表面から前記第1の導電層までの深さをD1、前記第1の絶縁膜表面から前記第2の導電層までの深さをD2としたとき、D1はD2より大であることを特徴とする半導体装置。

【請求項24】 前記第2の導電層の下には、前記第1の絶縁膜とエッチング特性の異なる第2の絶縁膜を有していることを特徴とする請求項23記載の半導体装置。

【請求項25】 前記第2のコンタクト窓は前記第1の絶縁膜と前記第2の導電層と前記第2の絶縁膜とを貫くように形成されていることを特徴とする請求項24記載の半導体装置。

【請求項26】 前記第2の絶縁膜はシリコン窒化膜であることを特徴とする請求項24または25記載の半導体装置。

【請求項27】 基板からの距離の異なるレベルに形成された第1と第2と第3の導電層と、前記第1と第2と第3の導電層を含む前記基板上に形成された第1の絶縁膜と、

前記第2の導電層の下に形成された、前記第1の絶縁膜とエッチング特性の異なる第2の絶縁膜と、

前記第3の導電層の上に形成された前記第2の絶縁膜と同じエッチング特性を有する第3の絶縁膜と、

前記第1の絶縁膜を貫いて前記第1の導電層の表面が露出するように形成された第1のコンタクト窓と、

前記第1の絶縁膜と前記第2の導電層と前記第2の絶縁膜とを貫いて形成された第2のコンタクト窓と、

前記第1の絶縁膜と前記第3の絶縁膜を貫いて前記第3の導電層の表面が露出するように形成された第3のコンタクト窓と、

前記第1のコンタクト窓を介して前記第1の導電層の表面と接続され、前記第2のコンタクト窓を介して前記第2の導電層の側壁部と接続され、前記第3のコンタクト窓を介して前記第3の導電層の表面と接続される第4の導電層とを有し、

前記第1の絶縁膜表面から前記第1の導電層までの深さをD1、前記第1の絶縁膜表面から前記第2の導電層までの深さをD2、前記第1の絶縁膜表面から前記第3の導電層までの深さをD3としたとき、D1>D3>D2であることを特徴とする半導体装置。

【請求項28】 前記第2および第3の絶縁膜がシリコン窒化膜であることを特徴とする請求項27記載の半導体装置。

【請求項29】 前記第1の絶縁膜の表面が、基板とほぼ平行になるように平坦化されたことを特徴とする請求

項23または27記載の半導体装置。

【請求項30】 前記第2の導電層がメモリセルのキャパシタ対向電極であることを特徴とする請求項23または27記載の半導体装置。

【請求項31】 基板上に略平行に、かつ複数本配置された第1の導電層と、前記第1の導電層を覆うように設けられた第1の絶縁膜と、

前記隣接する第1の導電層間を埋め込み、前記第1の絶縁膜の上面と一致する、前記基板と平行な面を持つ第2の絶縁膜と、

前記第2の絶縁膜に設けられ、その底部の一部が前記第1の絶縁膜上にかかるように形成されたコンタクト窓を有することを特徴とする半導体装置。

【請求項32】 基板上に略平行に、かつ複数本配置され、基板からの距離のレベルが複数ある第1の導電層と、

前記第1の導電層を覆うように設けられた第1の絶縁膜と、

前記隣接する第1の導電層間を埋め込み、前記第1の絶縁膜の基板からの距離のレベルが最も大きい第1の絶縁膜の上面と一致する、前記基板と平行な面を持つ第2の絶縁膜を有することを特徴とする半導体装置。

【請求項33】 前記第2の絶縁膜に設けられ、その底部の一部が前記第1の絶縁膜上にかかるように形成されたコンタクト窓を有することを特徴とする請求項32記載の半導体装置。

【請求項34】 前記第1の絶縁膜はシリコン窒化膜であることを特徴とする請求項31または32記載の半導体装置。

【請求項35】 前記基板からの距離のレベルが大きい第1の絶縁膜はフィールド絶縁膜上に形成され、前記基板からの距離のレベルが最も小さい第1の導電層は活性領域上に形成されていることを特徴とする請求項32記載の半導体装置。

【請求項36】 前記第1の導電層はDRAMのビットラインを構成することを特徴とする請求項31記載の半導体装置。

【請求項37】 前記第1の導電層はDRAMのワードラインを構成することを特徴とする請求項32記載の半導体装置。

【請求項38】 シリコン基板上にゲート絶縁膜を介して形成されたMISトランジスタのゲート電極と、前記ゲート電極の両側の基板中に形成された、ソースまたはドレインとなる第1と第2の不純物拡散層領域と、前記ゲート電極と第1と第2の不純物拡散層領域を挟む前記シリコン基板上に形成された絶縁膜と、前記絶縁膜を貫いて前記第1と第2の不純物拡散層領域にそれぞれ到達するコンタクト窓と、

前記コンタクト窓を介して、前記第1と第2の不純物拡散層領域上にそれぞれ接続された、同一の導電層から形

成された第1と第2の導電層と、

前記第1の導電層を介して前記第1の不純物拡散層領域に接続されたビット線と、

前記第2の導電層を介して前記第2の不純物拡散層領域に接続されたキャパシタ蓄積電極とを有し、

前記第2の不純物拡散層の濃度は前記第1の不純物拡散層の濃度よりも大であることを特徴とする半導体装置。

【請求項39】 シリコン基板上にゲート絶縁膜を介して形成されたMISトランジスタのゲート電極と、

前記ゲート電極の両側の基板中に形成された、同じ不純物濃度を有する、ソースまたはドレインとなる第1と第2の不純物拡散層領域と、

前記ゲート電極と第1と第2の不純物拡散層領域上に形成された絶縁膜と、

前記絶縁膜を貫いて前記第1と第2の不純物拡散層領域にそれぞれ到達するコンタクト窓と、

前記第2の不純物拡散層領域上に位置する前記コンタクト窓の下部の基板中に形成された、前記第2の不純物拡散層領域と同導電型の第3の不純物拡散層領域と、

前記コンタクト窓を介して、前記第1の不純物拡散層領域と接続された第1の導電層と、

前記コンタクト窓と前記第3の不純物拡散層を介して前記第2の不純物拡散層領域上に接続された前記第1の導電層と同一の導電層から形成された第2の導電層と、

前記第1の導電層を介して前記第1の不純物拡散層領域に接続されたビット線と、

前記第2の導電層を介して前記第2の不純物拡散層領域に接続されたキャパシタ蓄積電極とを有し、

前記第3の不純物拡散層領域の不純物濃度は、前記第1および第2の不純物拡散層領域の不純物濃度よりも大であることを特徴とする半導体装置。

【請求項40】 半導体基板上に少なくとも金属シリサイドを一層含む導電層を形成する工程と、

前記導電層上に第1のシリコン窒化膜を形成する工程と、

前記導電層と前記第1のシリコン窒化膜からなる積層体をパターンニングする工程と、

熱酸化法により、前記導電層の側壁部に酸化膜を形成する工程と、

前記パターンニングされた積層体および側壁の酸化膜を含む前記半導体基板上に第2のシリコン窒化膜を形成する工程と、

前記第2のシリコン窒化膜を異方性エッチングして、前記側壁の酸化膜を含む前記積層体の側壁に第2のシリコン窒化膜からなるサイドウォールを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項41】 半導体基板上に少なくとも金属シリサイドを一層含む導電層を形成する工程と、前記導電層上に第1の絶縁膜と第1のシリコン窒化膜を順次形成する工程と、前記導電層と前記第1の絶縁膜と

前記第1のシリコン窒化膜からなる積層体をパターンニングする工程と、

熱酸化法により、導電層の側壁部に酸化膜を形成する工程と、

前記パターンニングされた積層体および側壁の酸化膜を含む前記半導体基板上に第2のシリコン窒化膜を形成する工程と、

前記第2のシリコン窒化膜を異性エッチングして、前記側壁の酸化膜を含む前記積層体の側壁に第2のシリコン窒化膜からなるサイドウォールを形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項42】 前記第1の絶縁膜は前記酸化膜よりもその膜厚が厚くなるように形成することを特徴とする請求項41記載の半導体装置の製造方法。

【請求項43】 さらに、第2の絶縁膜を形成する工程と、前記第2の絶縁膜を貫き、さらに、その底部の一部が少なくとも前記第2のシリコン窒化膜の一部の上にくるように、コンタクト窓を開く工程とを有することを特徴とする、請求項40または41記載の半導体装置の製造方法。

【請求項44】 前記第2の絶縁膜を形成後、平坦化処理をする工程を含むことを特徴とする請求項43記載の半導体装置の製造方法。

【請求項45】 前記第1の絶縁膜は、熱酸化法または気相成長法によって形成することを特徴とする請求項41記載の半導体装置の製造方法。

【請求項46】 前記第1の絶縁膜は、熱酸化法と気相成長法で形成した積層膜であることを特徴とする請求項41記載の半導体装置の製造方法。

【請求項47】 半導体基板上にゲート絶縁膜と第1の導電膜を形成し、パターンニングしてMISトランジスタのゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記基板中にソースまたはドレインとなる不純物拡散層領域を形成する工程と、前記ゲート電極を含む前記半導体基板上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上にシリコン窒化膜からなる第2の絶縁膜を形成する工程と、

前記第2の絶縁膜と第1の絶縁膜を選択的に順次エッチングして前記不純物拡散層領域の少なくとも一方に達する第1のコンタクト窓を形成する工程と、

前記第1のコンタクト窓内に第2の導電層を形成する工程と、

前記第2の導電層を含む前記第2の絶縁膜上に第3の絶縁膜を形成する工程と、

前記第3の絶縁膜を貫き、前記第2の導電層に接続する第2のコンタクト窓を形成する工程と、

前記コンタクト窓を介して前記第2の導電層と接続する第3の導電層を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項48】 前記第3の導電層は導電層とシリコン窒化膜の積層体からなり、前記シリコン窒化膜を前記第2の絶縁膜よりも厚く形成する工程を有することを特徴とする請求項47記載の半導体装置の製造方法。

【請求項49】 さらに、全面に第4の絶縁膜を形成する工程と、

前記第3の導電層が形成されていない前記第2の導電層上の前記第4の絶縁膜と第3の絶縁膜を選択的に除去して前記第2の導電層に到達する第3のコンタクト窓を形成する工程と、

前記第3のコンタクト窓の底面および側面に選択的に第4の導電層を形成する工程と、

前記第4の導電層をマスクとし、前記第2の絶縁膜をエッチングストップとして前記第4の絶縁膜を除去して、前記第4の導電層を筒状に露出させる工程と、

前記第4の導電層の表面に第5の絶縁膜を形成する工程と、

前記第5の絶縁膜を含む半導体基板上に第5の導電層を形成する工程と、

前記第5の導電層を少なくとも前記第4の導電層を含む領域の一部を残して選択的に除去する工程とを有することを特徴とする請求項47記載の半導体装置の製造方法。

【請求項50】 さらに、第3の導電層の上部および側壁部を覆うシリコン窒化膜からなる第6の絶縁膜を形成する工程と、

前記第2の絶縁膜と前記第6の絶縁膜をエッチングストップとして前記第4の絶縁膜を除去する工程を有することを特徴とする請求項49記載の半導体装置の製造方法。

【請求項51】 前記第5の導電層を選択的に除去する工程は、同一のマスクを用いて前記第5の導電層と前記第5の絶縁膜と前記第2の絶縁膜を除去する工程を含むことを特徴とする請求項49記載の半導体装置の製造方法。

【請求項52】 基板上に第1の導電層と第1の絶縁膜とシリコン窒化膜からなる第2の絶縁膜と第3の絶縁膜を順次形成する工程と、

前記第3、第2、第1の絶縁膜を順次エッチングして第1の導電層に達するコンタクト窓を形成する工程と、前記コンタクト窓の底面および側面に選択的に第2の導電層を形成する工程と、

前記第2の導電層をマスクとし、前記第2の絶縁膜をエッチングストップとして前記第3の絶縁膜を除去して、前記第2の導電層を筒状に露出させる工程と、

前記第2の導電層の表面に第4の絶縁膜を形成する工程と、

前記第4の絶縁膜を含む半導体基板上に第3の導電層を形成する工程と、

前記第3の導電層を少なくとも前記第2の導電層を含む

領域の一部を残して選択的に除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項53】 前記第3の導電層を選択的に除去する工程は、同一のマスクを用いて前記第3の導電層と前記第4の絶縁膜と前記第2の絶縁膜を除去する工程を含むことを特徴とする請求項52記載の半導体装置の製造方法。

【請求項54】 半導体基板上にゲート絶縁膜と第1の導電層を形成し、パターンニングしてMISトランジスタのゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記基板中にソースまたはドレインとなる不純物拡散層領域を形成する工程と、前記ゲート電極を含む前記半導体基板上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜を選択的にエッチングして前記不純物拡散層領域に達する第1のコンタクト窓を形成する工程と、

前記第1のコンタクト窓内に第2の導電層を形成する工程と、

前記第2の導電層を含む前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜を貫き、前記第2の導電層に接続する第2のコンタクト窓を形成する工程と、

前記第2のコンタクト窓を介して前記第2の導電層と接続する第3の導電層を形成する工程と、

前記第3の導電層を含む前記半導体基板上に、第3の絶縁膜とシリコン窒化膜からなる第4の絶縁膜と第5の絶縁膜を順次形成する工程と、

前記第3の導電層が形成されていない前記第2の導電層上の前記第5、第4、第3および第2の絶縁膜を順次選択的に除去して前記第2の導電層に到達する第3のコンタクト窓を形成する工程と、

前記第3のコンタクト窓の底面および側面に選択的に第4の導電層を形成する工程と、

前記第4の導電層をマスクとし、前記第4の絶縁膜をエッチングストップとして前記第5の絶縁膜を除去して、

前記第4の導電層を筒状に露出させる工程と、

前記第4の導電層の表面に第6の絶縁膜を形成する工程と、

前記第6の絶縁膜を含む半導体基板上に第5の導電層を形成する工程と、

前記第5の導電層を少なくとも前記第4の導電層を含む領域の一部を残して選択的に除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項55】 前記第4の導電層は蓄積電極となるように形成し、前記第5の導電層はキャパシタ対向電極となるように形成し、前記第6の絶縁膜はキャパシタ絶縁膜となるように形成してキャパシタを構成する工程と、前記キャパシタを配置したメモリセル領域とそれ以外の周辺領域を含む前記半導体基板上に第7の絶縁膜を形成

する工程と、  
前記メモリセル領域と前記周辺領域との高低差をなくすように前記第7の絶縁膜を平坦化する工程とを有することを特徴とする請求項54記載の半導体装置の製造方法。

【請求項56】 前記第5の導電層を選択的に除去する工程は、同一のマスクを用いて前記第5の導電層と前記第6の絶縁膜と前記第4の絶縁膜を除去する工程を含むことを特徴とする請求項55記載の半導体装置の製造方法。

【請求項57】 半導体基板上に第1の導電層を形成する工程と、

前記第1の導電層上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第2の導電層を形成する工程と、

前記第2の導電層を含む半導体基板上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上にコンタクト窓形成用のマスクを形成する工程と、

前記マスクを用いて前記第2の絶縁膜と前記第1の絶縁膜を順次エッチングして第1の導電層上にコンタクト窓を形成するとともに、前記第2の絶縁膜と前記第2の導電層を順次エッチングして前記第2の導電層を貫くコンタクト窓を形成することを特徴とする半導体装置の製造方法。

【請求項58】 前記第2の絶縁膜は表面が概ね平坦になるように平坦化する工程を含むことを特徴とする請求項57記載の半導体装置の製造方法。

【請求項59】 半導体基板上に第1の導電層を形成する工程と、

前記第1の導電層上に第1の絶縁膜と、シリコン窒化膜からなる第2の絶縁膜を順次形成する工程と、

前記第2の絶縁膜上に第2の導電層を形成する工程と、

少なくとも前記第1の導電層のコンタクト領域を含む領域の前記第2の絶縁膜を選択的に除去する工程と、

前記第2の絶縁膜と前記第1の絶縁膜と前記第2の導電層を含む前記半導体基板上に、第3の絶縁膜を形成する工程と、

前記第3の絶縁膜上にコンタクト窓形成用のマスクを形成する工程と、

前記マスクを用いて前記第3の絶縁膜と前記第1の絶縁膜を順次エッチングして第1の導電層上にコンタクト窓を形成するとともに、前記第3の絶縁膜と前記第2の導電層を順次エッチングして前記第2の導電層を貫くコンタクト窓を形成することを特徴とする半導体装置の製造方法。

【請求項60】 前記第3の絶縁膜は表面が概ね平坦になるように平坦化する工程を含むことを特徴とする請求項59記載の半導体装置の製造方法。

【請求項61】 半導体基板上に第1の導電層を形成する工程と、

10

20

30

40

50

前記第1の導電層上に第1の絶縁膜を形成する工程と、  
前記第1の絶縁膜上に、第2の導電層上にシリコン窒化膜からなる第2の絶縁膜を有する積層体を形成する工程と、  
前記積層体と前記第1の絶縁膜を含む前記半導体基板上に、第3の絶縁膜と、  
シリコン窒化膜からなる第4の絶縁膜を形成する工程と、  
前記第4の絶縁膜上に第3の導電層を形成する工程と、  
少なくとも前記第1と第2の導電層のコンタクト領域を含む領域の前記第4の絶縁膜を選択的に除去する工程と、  
前記第4の絶縁膜と前記第3の絶縁膜と前記第3の導電層を含む前記半導体基板上に、第5の絶縁膜を形成する工程と、  
前記第5の絶縁膜上にコンタクト窓形成用のマスクを形成する工程と、  
前記マスクを用いて前記第5の絶縁膜と前記第3の絶縁膜と前記第1の絶縁膜を順次エッチングして第1の導電層上にコンタクト窓を形成するとともに、前記第5の絶縁膜と前記第3の絶縁膜と前記第2の絶縁膜を順次エッチングして前記第2導電層上にコンタクト窓を形成し、さらに前記第5の絶縁膜と前記第3の導電層と第4の絶縁膜を順次エッチングして前記第2の導電層を貫くコンタクト窓を形成する工程とを有することを特徴とする半導体装置の製造方法。  
【請求項62】 前記第5の絶縁膜は表面が概ね平坦になるように平坦化する工程を含むことを特徴とする請求項61記載の半導体装置の製造方法。  
【請求項63】 半導体基板上に第1の導電層と第1の絶縁膜を順次形成する工程と、  
前記第1の絶縁膜と前記第1の導電層からなる積層体を略平行に配置するようにパターンニングする工程と、  
前記積層体を含む前記半導体基板上に第2の絶縁膜を形成し、異方性エッチングを行なって積層体の側壁にサイドウォールを形成する工程と、  
前記第1および第2の絶縁膜に覆われた前記第1の導電層を含む前記半導体基板上に第3の絶縁膜を形成する工程と、  
前記第3の絶縁膜を前記第1の絶縁膜をストッパーとして、CMP法により平坦化する工程と、  
前記第3の絶縁膜の一部を除去し、その底部の一部が少なくとも前記第2の絶縁膜の一部の上にくるように、コンタクト窓を形成することを特徴とする半導体装置の製造方法。  
【請求項64】 半導体基板に素子分離用の絶縁膜を形成して活性領域を定義する工程と、  
前記素子分離用絶縁膜と活性領域を含む前記半導体基板上に第1の導電層と第1の絶縁膜を順次形成する工程と、

前記第1の絶縁膜と前記第1の導電層からなる積層体を略平行に配置するようにパターンニングする工程と、  
前記積層体を含む前記半導体基板上に第2の絶縁膜を形成し、異方性エッチングを行なって積層体の側壁にサイドウォールを形成する工程と、  
前記第1および第2の絶縁膜に覆われた前記第1の導電層と素子分離用絶縁膜を含む前記半導体基板上に第3の絶縁膜を形成する工程と、  
前記第3の絶縁膜を前記素子分離用絶縁膜上の前記第1の絶縁膜をストッパーとして、CMP法により平坦化する工程とを有することを特徴とする半導体装置の製造方法。  
【請求項65】 さらに、前記活性領域上の前記第3の絶縁膜の一部を除去し、その底部の一部が少なくとも前記第2の絶縁膜の一部の上にくるように、コンタクト窓を形成することを特徴とする請求項64記載の半導体装置の製造方法。  
【請求項66】 前記第1および第2の絶縁膜はシリコン窒化膜であることを特徴とする請求項63または64記載の半導体装置の製造方法。  
【請求項67】 一導電型半導体基板上にゲート酸化膜とゲート電極を形成する工程と、  
前記ゲート電極をマスクとして、前記一導電型基板中に反対導電型の第1の不純物をイオン注入してゲート電極の両側に、ソース・ドレインとなる第1と第2の不純物拡散層領域を形成する工程と、  
前記一導電型基板上に前記ゲート電極を覆うように絶縁膜を形成する工程と、  
前記絶縁膜の一部をエッチングして前記第1の不純物拡散層領域に達する第1のコンタクト窓と、前記第2の不純物拡散層領域に達する第2のコンタクト窓を形成する工程と、  
前記第2のコンタクト窓をマスク部材で覆う工程と、  
前記マスク部材および前記絶縁膜をマスクとして、前記第1のコンタクト窓に露出した前記第1の拡散層領域に、反対導電型の第2の不純物をイオン注入し、第3の不純物拡散層領域を形成する工程と、  
前記第1のコンタクト窓を介して、前記第3および第1の不純物拡散層領域に接続される第1の導電層と、前記第2のコンタクト窓を介して、前記第2の不純物拡散層領域に接続される第2の導電層を形成する工程と、  
前記第1の導電層を介して前記第3および第1の不純物拡散層領域に接続されるDRAMの蓄積電極を形成する工程と、  
前記第2の導電層を介して前記第2の不純物拡散層領域に接続されるDRAMのビット線を形成する工程とを有することを特徴とする、半導体装置の製造方法。  
【請求項68】 前記マスク部材はレジストからなることを特徴とする請求項67記載の半導体装置の製造方法。



【請求項69】 前記第2の不純物のイオン注入のドーズ量は、前記第1の不純物のイオン注入のドーズ量より大きいことを特徴とする請求項67記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置およびその製造方法に係り、特にDRAM(Dynamic Random Access Memory)の高集積化、および高信頼性化に寄与する半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】DRAMが大容量化されていく中で、高集積化と低価格化を実現するためには、その基本構成要素であるメモリセルの微細化を進めることが必要である。一般的なDRAMセルは、一つのMOSトランジスタと、一つのキャパシタから構成される。したがって、メモリセルの微細化を進めていくためには、小さなセルサイズで、いかにして大きなキャパシタ容量を確保するかという事が重要である。

【0003】近年、キャパシタ容量を確保する方法として、基板に溝を形成し、その中にキャパシタを形成するトンチ型セルや、キャパシタをMOSトランジスタの上部に3次元的に積層して形成するスタック型セルが提案され、実際のDRAMのセル構造として採用されてきた。特にスタック型セルに関しては、その発展型として基板と概ね平行な方向に複数枚の蓄積電極を配置することにより、それぞれの蓄積電極の上下両面をキャパシタとして利用することで、専有面積あたりの容量を通常のスタック型よりも増加させているフィン型セルや、基板と概ね垂直方向にシリンドラ状に蓄積電極を配置することで容量を増加させている、シリンドラ型セルなどの改良されたセル構造が提案されている。

【0004】これらのセル構造、およびその製造プロセスを適用する事により、0.35μmのデザインルールを持つ64Mbitクラスの集積度のDRAMを実現する事が可能になった。

【0005】

【発明が解決しようとする課題】しかしながら、さらに高集積化を進めた、0.25μmから0.15μmのデザインルールを持つ256Mbit、1Gbitクラスの集積度のDRAMを実現するためには、これらの技術だけでは不十分である。したがって、キャパシタ電極の専有面積を狭めるだけでなく、フォトリソグラフィ法にあって配線間のショート等の弊害を防ぐために設けられている位置合わせ余裕をなるべく少なくする必要がある。また、シリンドラ型セルなどの改良されたセル構造において生じた問題を解決する必要がある。【0006】第1に位置合わせに関する問題がある。従来より、微細なコンタクト窓を形成する方法として、セルフアラインコンタクト法(Self Align Contact: SA

C)と呼ばれる方法が知られている。この方法は、たとえば特開昭58-115859号に開示されている。すなわち、MOSトランジスタのゲート電極上に第1の絶縁膜を形成した状態でゲート電極のパターニングを行う。

【0007】そして、ソース・ドレイン拡散層を形成したあとでさらに第2の絶縁膜を形成し、異方性エッチング法を用いて第2の絶縁膜を拡散層が露出するまでエッチングする。これによって、第1の絶縁膜を含むゲート電極部の側壁に絶縁膜が形成されるため、ゲート電極の周囲を第1、第2の絶縁膜で完全に絶縁することができ、かつ、自己整合(セルフアライン)的に拡散層上にコンタクト窓領域を形成することが可能となる。

【0008】このようなセルフアラインコンタクト法を用いてコンタクト窓を形成すると、下地の導電層とコンタクト窓との位置合わせ余裕をとらなくてよい。その余裕分だけセルを微細にすることができる。ただし、高集積化されたDRAMセルでは微細化のために多層工程が用いられているため、このような単純なセルフアラインコンタクト法では、まだ不十分である。

【0009】DRAMセルで用いられる改良されたセルフアラインコンタクト技術の一例を図34から図35の模式工程断面図をもとに説明する。図34と図35は、典型的なメモリセル部のワードラインの延在方向に交差する方向で切断した断面図である。この図をもとに、ビットラインや蓄積電極とMOSトランジスタのソース・ドレイン拡散層とのコンタクト窓をセルフアラインコンタクト技術を用いて形成する方法について具体的に述べる。

【0010】はじめに、図34(a)に示すように、LOCOS酸化膜112で画定されたシリコン基板111上にゲート絶縁膜113を形成し、さらにその上にポリシリコン114とタングステンシリサイド115からなるポリサイドゲート電極とソース・ドレイン拡散層116と、ポリサイドゲート電極の周囲を覆う窒化膜117を形成する。このポリサイド電極がワードラインに相当する。

【0011】この工程までは、前記したセルフアラインコンタクト法と同じであるため、前記した特開昭58-115859号に記載された方法によって行なえばよい。つづいて、その上に全面にシリコン酸化膜118を形成する。この酸化膜は後工程を容易にするために、CMP(Chemical Mechanical Polishing 化学機械研削)法等を用いて平坦化しておく。

【0012】次に、図34(b)に示すように、平坦化された酸化膜118の上にレジストを塗布し、通常のフォトリソグラフィ法を用いて、エッチングのマスクとなるレジスト層のパターニングを行い、レジストパターン119を形成する。次に、図35(a)に示すように、レジスト119をマスクとして酸化膜118をエッチン

グシ、拡散層116に到達するコンタクト窓120を形成する。このとき、エッチング条件は酸化膜とシリコン酸化膜の選択比が大きくなるような条件で行う。したがって、酸化膜のエッチングによって酸化膜117が露出して、酸化膜はそれほどエッチングされないため、最初に形成した酸化膜によるセルフアラインコンタクト窓領域とほぼ同等の領域がコンタクト窓として形成される。

【0013】つづいて、レジスト119を周知の技術で除去する。次に、図35(b)に示すようにコンタクト窓に導電層121を形成する。以上のような方法で形成したコンタクト窓は、レジストパターン119が位置ずれをおこしてゲート電極の上部や近傍に開口されたとしても、導電層121とポリサイド電極とのショートを生じないので、コンタクト窓をポリサイド電極に対して位置合わせ余裕をとる必要がない。

【0014】すなわち、本技術によれば、層間絶縁膜となる酸化膜118を平坦化しながら、コンタクト窓をセルフアラインで形成することが可能となる。このようなセルフアラインコンタクト技術で、以降「酸化膜スペーサSAC」と呼ぶ。酸化膜スペーサSACを用いる上で、以下のような問題点がある。

【0015】ひとつめは、酸化膜スペーサSACをゲート電極として用いた場合のトランジスタ特性の劣化の問題である。酸化膜サイドウォールをゲート電極構造に用いた場合の問題点は、たとえば、IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.38 NO.3 MARCH 1991 "Hot-Carrier Injection Suppression Due to the Nitride-Oxide LDD Spacer Structure" T.Mizuno et.al. に示されている。

【0016】すなわち、酸化膜をサイドウォールとして有するMOSトランジスタを形成した場合に、酸化膜をサイドウォールとして有するMOSトランジスタにくらべて、ホットキャリア効果等の特性劣化が大きく、その信頼性が低いことが示されている。これは、酸化膜に比べ、シリコン酸化膜中にトラップが多く存在するためと考えられている。

【0017】上記論文では、その解決法として酸化膜サイドウォールとゲート電極の間および酸化膜サイドウォールと基板との間に酸化膜をもち、酸化膜の影響を抑えることでトランジスタ特性の劣化を抑える方法が開示されている。しかし、このような構造を、そのまま酸化膜スペーサSAC構造に適用することはできない。

【0018】図36から図37をもとに、その問題点について説明する。なお、図36と37は図34と図35と同じく典型的なメソリセル部のワードラインの延在方向に交差する方向で切断した断面図であり、図中の符号で図34や図35中の符号に相当するものには、同じ符号をつけている。図36(a)は、図34(b)に相当する工程であり、コンタクト窓を形成するためのレジス

トパターン118を酸化膜117上形成した状態を示している。シリコン膜114とシリサイド膜115からなるポリサイド電極の上にはシリコン酸化膜122が形成されており、ポリサイド電極とシリコン酸化膜122の膜層の側壁には酸化膜123を介してシリコン酸化膜124が形成されている。また、ゲート電極の横の基板111中にはソース・ドレイン拡散層となる不純物領域116が形成されている。

【0019】酸化膜スペーサSAC構造のコンタクト窓を形成するために、レジストパターン118が形成されている。ただし、位置合わせずれのためにレジストパターンがずれている状態を示している。この状態で酸化膜117をエッチングすると、図36(b)に拡散層116とゲート電極がショートしてしまう。これを避けるためには位置合わせ余裕をとる必要があり、セルフアラインでコンタクト窓を形成することはできない。すなわち、上記論文に記載された酸化膜サイドウォール構造は、酸化膜スペーサSACに適用することができない。

【0020】次に、図37に示すように、コンタクト窓内に配線用電極121を形成すると、露出したゲート電極の側壁を介して、配線用電極121と拡散層116とゲート電極がショートしてしまう。これを避けるためには位置合わせ余裕をとる必要があり、セルフアラインでコンタクト窓を形成することはできない。すなわち、上記論文に記載された酸化膜サイドウォール構造は、酸化膜スペーサSACに適用することができない。

【0021】酸化膜スペーサSACを用いる場合のふたつめの問題点は、酸化膜スペーサSACとポリサイド導電層と組み合わせることでは生じる、シリサイド膜はがれの問題である。シリコン膜と、シリステンシリサイド(WSi)やモリブデンシリサイド(MoSi)などのシリサイド膜との積層構造であるポリサイド構造は、シリコン膜にくらべて低抵抗が得られるため、ゲート電極やワードライン、ビットライン等に広く用いられる。

【0022】しかし、ポリサイド膜からなる導電層に対して、前記酸化膜スペーサSAC工程を適用した場合には、ポリサイド膜と酸化膜との熱膨張係数の違いにより応力が生じ、後工程の熱処理によってシリサイド膜はがれてしまうという現象があることが分かった。したがって、トランジスタ特性劣化などの影響がない、ビット線などの配線構造に関しては、従来の酸化膜スペーサSACを用いることはできないことが分かった。

【0023】本発明の第1の観点によれば、上記課題を解決し、ポリサイド構造に酸化膜スペーサSAC構造を適用できるようにすることで、DRAMのメモリセルの微細化を進め、高集積化を実現する方法を提案するものである。第2にコンタクト窓に埋め込まれているプラグ導電膜に対するコンタクト窓開口工程の問題がある。

【0024】高集積化されたDRAM構造では、後工程での配線層の新線等を防ぐため、平坦化処理を行なう必要があり、コンタクト窓にプラグと呼ばれる導電膜を埋め込む構造が取られる。プラグと上層の配線との

コンタクトをとるために、コンタクト窓を開ける場合には、位置あわせずれに対してマージンのあるプロセスが望ましい。また、コンタクト窓開けにSAC法が用いられると、微細化が可能となるため好ましい。

【0025】しかし、プラグの周囲にある絶縁膜が、コンタクト窓開け工程でエッチングされてしまうため、位置あわせずれに対してマージンをとることができず、また、SAC法も用いることができない。このため、位置あわせ余裕をとる必要があり、集積化をすすめる上で問題であった。本発明の第2の観点によれば、上記課題を解決し、プラグ上の位置ずれに対してもプロセスマージンのあるとともに、SAC構造を適用できる手段を提案するものである。

【0026】第3にシリンダ型蓄積電極の形成方法に関する問題がある。シリンダ型蓄積電極は、シリンダの側面をキャパシタ容量として利用するため、容量を安定させるためには、シリンダの側面積を一定にする必要がある。一般に、シリンダ蓄積電極は、絶縁膜に開口を形成したあとに蓄積電極となる導電層を開口の側壁と底面にのみ残すように形成し、ついで絶縁膜をエッチング除去することによって形成される。

【0027】このような形成方法をとる場合、蓄積電極となるシリンダ型の導電層の外側の絶縁膜のエッチング量によって、蓄積電極の外側面の露出面積が変わるため、容量が変化して安定しないという問題があった。本発明の第3の観点によれば、上記課題を解決し、シリンダ型蓄積電極の外側の側面の露出面積を一定にして、安定した容量を得られる方法を提案するものである。

【0028】第4に高低差の大きい導電層へのコンタクト窓開けの問題がある。小さなセル面積で、十分なキャパシタ容量を確保するために、先に示したようにシリンダ型セルのような3次元的に蓄積電極の面積を増やした構造が検討されている。そして、キャパシタ容量を十分に確保するために、蓄積電極の高さをどんどん高くする必要がある。このため、セル部と、周辺回路部との高低差（段差）が大きな問題となってきた。

【0029】これは、段差による配線の切断という問題だけではなく、例えば、金属配線層を、セル部、及び周辺回路部上でパターンニングする時、フォトリソグラフィの焦点深度が不足し、寸法精度が低下するという問題を生じる。これに対して、絶縁膜を形成した後に凹部にSOG (Spin On Glass) などの塗布絶縁膜やレジストを埋め込んでからエッチバックしたり、CMP法を用いてセル部、周辺回路部の高低差を生じないように絶縁膜を平坦化するという方法が、たとえば、特開平3-155663号に開示されている。

【0030】このような平坦化を行うことで、焦点深度が不足するという問題は解決できた。しかし、新たな問題として以下に示すものが浮かんできた。DRAM構造では、周辺回路部のMOSトランジスタのソース・ド

レイン拡散層やワードラインやビットラインあるいはメモリセル部のビットラインやキャパシタ対向電極など、上層の金属配線層とのコンタクトを必要とする多くの導電層が存在している。

【0031】これらの導電層は、同じ層レベルに形成されているわけではなく、いくつかの層間絶縁膜を有して多層配線構造で形成されている。したがって、各導電層の基板からの距離には差がある。先に述べた方法により、上層の絶縁膜を平坦化した場合、絶縁膜の表面は基板とほぼ平行な面に形成されるため、絶縁膜に形成されるコンタクト窓の深さに差が生じる。

【0032】したがって、一度のフォトリソグラフィ工程でコンタクト窓を形成しようとする、たとえば最下層の導電層である拡散層を露出する開口をすること、最上層の導電層は先に開口されるため、導電層が露出したまま長時間エッチング雰囲気にとさらされることになる。導電層に対する絶縁膜のエッチング選択比は、それほど大きくとれないため、コンタクト窓は最上層の導電層を貫いてさらに下層の絶縁膜までもエッチングしてしまい、場合によってはコンタクト窓の下部の別の導電層とショートしてしまう。

【0033】したがって、下層配線層とショートをおこさない信頼性の高いコンタクト窓を形成するためには、フォトリソグラフィ工程を複数回に分けるなどして、工程数を増やすことで対処せざるを得なかった。本発明の第4の観点によれば、コンタクト窓の深さが異なる構造であっても、一度のフォトリソグラフィ工程で窓開けを行なうことができ、製造工程数を減らした手段を提案するものである。

【0034】第5に平坦化の問題がある。高集積化されるにつれて、微細化のためにDRAMの製造プロセスは複雑になり、かつ、工程数も増えてしまう。これは、製品の歩留まりを低下させる要因にもなり、最終的にはコストの増大を招く。一方、高集積化のために、多層配線工程が用いられるようになり、絶縁層や配線層の平坦化が重要である。

【0035】したがって、製造プロセスを複雑にせずに平坦化する技術が必要である。本発明の第5の観点によれば、窒化膜スペーサSACに平坦化工程を適用して製造プロセスを簡略化した方法を提案するものである。第6にMOSトランジスタ特性の問題がある。高集積化されるにつれて、MOSトランジスタも微細化されており、微細化にともなう特性の劣化や信頼性の低下が考えられる。

【0036】本発明の第6の観点によれば、DRAMのメモリセル部に用いられるMOSトランジスタに関して、特性を改善したMOSトランジスタ構造を提案するものである。

【0037】

【課題を解決するための手段】本発明の第1の観点によ

れば、上記課題は以下の特徴を持つ半導体装置によって解決される。少なくとも金属または金属シリサイドを一層含む導電層パターンと、前記導電層パターンの側壁部に形成されたシリコン窒化膜以外の絶縁膜からなる第1の絶縁膜と、前記導電層パターンの上部と導電層パターンの側壁部に形成された第1の絶縁膜を覆うように形成されたシリコン窒化膜からなる第2の絶縁膜とを有することを特徴とする半導体装置。

【0038】少なくとも金属または金属シリサイドを一層含む導電層パターンと、前記導電層パターンの側壁部と上部を覆うように形成された、シリコン窒化膜以外の絶縁膜からなる第1の絶縁膜と、前記導電層パターンを覆う前記第1の絶縁膜を覆うように形成されたシリコン窒化膜からなる第2の絶縁膜とを有することを特徴とする半導体装置。

【0039】前記第1の絶縁膜は、前記導電層パターンの側壁部と上部とで異なる膜で構成されていることを特徴とする半導体装置。前記第1の絶縁膜は、前記導電層パターンの側壁部に位置する前記シリコン窒化膜からなる第2の絶縁膜の下部にもあることを特徴とする半導体装置。前記導電層パターンはMISトランジスタのゲート電極を構成することを特徴とする半導体装置。

【0040】前記第1の絶縁膜は導電層パターン上面では側面よりも厚く形成されていることを特徴とする半導体装置。また、上記課題は、以下の特徴を持つ半導体装置の製造方法によって解決される。半導体基板上に少なくとも金属シリサイドを一層含む導電層を形成する工程と、前記導電層上に第1のシリコン窒化膜を形成する工程と、前記導電層と前記第1のシリコン窒化膜からなる積層体をパターンニングする工程と、熱酸化法により、前記導電層の側壁部に酸化膜を形成する工程と、前記パターンニングされた積層体および側壁の酸化膜を含む前記半導体基板上に第2のシリコン窒化膜を形成する工程と、前記第2のシリコン窒化膜を異方性エッチングして、前記側壁の酸化膜を含む前記積層体の側壁に第2のシリコン窒化膜からなるサイドウォールを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【0041】半導体基板上に少なくとも金属シリサイドを一層含む導電層を形成する工程と、前記導電層上に第1の絶縁膜と第1のシリコン窒化膜を順次形成する工程と、前記導電層と前記第1の絶縁膜と前記第1のシリコン窒化膜からなる積層体をパターンニングする工程と、熱酸化法により、導電層の側壁部に酸化膜を形成する工程と、前記パターンニングされた積層体および側壁の酸化膜を含む前記半導体基板上に第2のシリコン窒化膜を形成する工程と、前記第2のシリコン窒化膜を異方性エッチングして、前記側壁の酸化膜を含む前記積層体の側壁に第2のシリコン窒化膜からなるサイドウォールを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【0042】前記第1の絶縁膜は前記酸化膜よりもその膜厚が厚くなるように形成することを特徴とする半導体装置の製造方法。前記第1の絶縁膜は、熱酸化法または気相成長法によって形成することを特徴とする半導体装置の製造方法。前記第1の絶縁膜は、熱酸化法と気相成長法で形成した積層膜であることを特徴とする半導体装置の製造方法。

【0043】本発明の第1の観点を図1をもとに説明する。図1(a)において、1はシリコン基板、2はフィールド絶縁膜、3はゲート酸化膜、4はシリコン膜、5はシリサイド膜、6はシリコン酸化膜、7は不純物拡散層領域、8はシリコン窒化膜スペーサ、9は層間絶縁膜、10はコンタクト窓である。

【0044】フィールド絶縁膜2により画定した活性層領域を有する基板1上にゲート酸化膜3を介して、シリコン膜4、シリサイド膜5の積層体からなるゲート電極が形成され、その上部にはおよび側面がシリコン窒化膜8によって覆われている。またスペーサとしてのシリコン窒化膜8の下部およびゲート電極の側壁との間には酸化膜6が存在する。

【0045】スペーサとなるシリコン窒化膜8の下部には酸化膜6が存在するので、MOSTランジスタチャネル部で発生したホットキャリアは、そのほとんどが酸化膜6中にトラップされるため、シリコン窒化膜8の影響を受けることはない。したがって、従来の酸化膜スペーサを用いたMOSTランジスタと同等の信頼性を得ることができる。

【0046】一方、ゲート電極の側壁と、シリコン窒化膜の間には存在する酸化膜6は、シリサイド膜5と酸化膜8との緩衝膜として働き、シリサイド膜が後の熱処理工程等で剥離することを防止することができる。また、ゲート電極の側壁部のみにシリコン酸化膜6が存在し、ゲート電極の上部の領域にはシリコン酸化膜が露出しないため、窒化膜スペーサSACを用いてコンタクト窓10を形成する際に、マスクが位置ずれしたとしても従来例で説明したような、導電層とゲート電極が電気的にショートしてしまうという問題は生じない。

【0047】図1(b)は本発明の第1の観点の別の例を説明する図である。図1(b)において、1はシリコン基板、2はフィールド絶縁膜、3はゲート酸化膜、4はシリコン膜、5はシリサイド膜、7は不純物拡散層領域、8はシリコン窒化膜スペーサ、9は層間絶縁膜、10はコンタクト窓、11はシリコン酸化膜である。なお、図1(a)の中の番号に相当するものには、同じ番号を付している。

【0048】本発明は、図1(a)に対して、ゲート電極を構成するシリサイド膜5の上部にも酸化膜を設け、ゲート電極の上部と側壁をシリコン酸化膜11で完全に覆ったところが異なる。この構造では、シリコン酸化膜8とシリサイド膜5が直接接する事はないため、後の

熱処理等の工程による剥離に對し、さらに強い構造となる。

【0049】なお、上記図1(a)や図1(b)に示した構造は、MOSTランジスタのゲート電極だけでなく、ポリサイド構造を有するビットライン等の他の配線層にも適用できる。米国特許5,364,804号には、ポリサイドを用いたゲート電極で、窒化膜とゲート電極の間に酸化膜が形成された例が記載されている。しかし、本米国特許は、前記文献に記載されたものと同様に、ポリサイド上の窒化膜の側壁にも酸化膜が存在するため、従来例の問題点として図35、36で説明したものと同一問題があることは明らかである。

【0050】特開平8-97210号には、図1(a)に一見類似した構造が記載されている。しかし、本公報にはシリサイド膜上に窒化膜が直接形成されることで、シリサイド膜が剥離するという問題については何も記載していないし、窒化膜との間に酸化膜を形成することで、剥離を防ぐ効果があることについても何ら記載がない。

【0051】また、本公報に記載された発明では、たとえば同公報の図1に記載されているようにゲート電極上の領域まで側壁シリコン窒化膜が形成されておき、ゲート電極を覆うシリコン窒化膜の領域に酸化膜が食い込む構造になっていて、シリコン窒化膜の一部が薄く形成されている。このような構造では、後工程のコンタクト窓の形成時に窒化膜がエッチングされて側壁酸化膜が露出し、エッチングされてコンタクト窓内に形成された配線層とゲート電極とがショートしてしまう危険性がある。

【0052】これに対して、本発明の第1の観点によれば、側壁の酸化膜はゲート電極の側壁の部分にしかなく、ゲート電極を覆うシリコン窒化膜中に食い込んでいないため、構造が異なる。そして、この酸化膜の食い込みがないため、窒化膜厚が薄くなるようなことはなく、コンタクト窓形成時にゲート電極が露出するような危険性を避けることができる。

【0053】また、本公報ではゲート電極上のシリコン窒化膜の横にも酸化膜を形成するために、CVD法によって酸化膜を形成している。しかし、本発明では、CVD酸化膜だけでなく、熱酸化法で酸化膜を形成することができる。熱酸化法による酸化膜を用いることで、CVD酸化膜を用いた場合に比べてシリサイド膜の剥離を防ぐ効果を大きくすることができる。

【0054】さらに、基板を熱酸化して得られる酸化膜は、基板と酸化膜の界面の状態がCVD酸化膜にくらべて良好であるため、熱酸化膜が基板とシリコン窒化膜との間に存在すると、CVD酸化膜が基板とシリコン窒化膜との間にある場合よりも、MOSTランジスタ特性が向上し、信頼性が増すという効果もある。特開平61-16571号には、ゲート電極上に酸化膜と窒化膜

の積層構造を設け、ゲート電極の側壁に窒化膜サイドウォールを有する構造が記載されている。しかし、本公報ではゲート電極の側壁には酸化膜がなく、窒化膜とゲート電極が直接接している点で本発明とは全く異なるものであり、また、ポリサイド構造にした場合の問題点についても何も記載されていない。

【0055】特開昭56-27971号には、その実施例2としてゲート電極の上面と側壁を酸化膜と窒化膜で覆う構造が記載されている。しかし、ゲート電極側壁の窒化膜の下には酸化膜がなく、本発明とは異なる構成であり、MOSTランジスタの特性向上の効果は望めない。また、本公報にもポリサイド構造を用いることや、ポリサイド上に窒化膜を形成することで生ずる問題点について何も記載されていない。

【0056】特開昭61-194779号には、ゲート電極の上面と側壁を酸化膜と窒化膜で覆う構造が記載されている。しかし、本公報にもポリサイド構造を用いることや、ポリサイド上に直接窒化膜を形成することで生ずる問題点について何も記載されていない。特開昭62-261145号には、ポリサイド構造を有する配線層のまわりに酸化膜とシリコン窒化膜からなる複合膜を形成することが記載されている。しかし、本公報に記載された発明の目的は、スパッタ法で形成したシリサイド膜からの金属汚染を防ぐためにシリコン窒化膜を用いるものであって、本発明の窒化膜サイドウォールSAC構造に関するものとは全く異なる。

【0057】また、本公報ではシリコン窒化膜を酸化膜の下に設けて、シリコン窒化膜がポリサイドと直接接しても良いことが記載されており、本発明で述べられているシリサイド膜上に窒化膜が直接形成されることで、シリサイド膜が剥離するという問題については何も記載していないし、窒化膜との間に酸化膜を形成することで、剥離を防ぐ効果があることについても何ら記載がない。

【0058】さらに、本公報はポリサイド構造をパターンニングしてから酸化膜とシリコン窒化膜の複合膜を形成しており、本発明のポリサイド上に酸化膜とシリコン窒化膜を形成してからパターンニングを行い、ついで側壁酸化膜やシリコン窒化膜を形成する方法とは異なる。その他、上記5つの発明と本発明との違いとして、本発明では、ポリサイドからなる電極上の酸化膜厚を電極側壁に形成された酸化膜厚よりも厚くすることで、窒化膜の剥離を防ぐ効果を増大させることができるが、上記5つの発明にはその点について何ら記載がない。

【0059】このように、上記5つの公知知照は本発明とは全く異なるものであり、また、本発明を示唆するものも何も記載されていない。本発明の第2の観点によれば、上記課題は、以下の特徴を持つ半導体装置によって解決される。基板上に、略平行に、かつ複数配置された第1の導電層と、第1の導電層上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成されたシリコン窒

化膜からなる第2の絶縁膜と、前記第1、第2の絶縁膜を貫いて形成され、前記複数の第1の導電層の間に形成された第1のコンタクト窓と、前記コンタクト窓内に形成された第2の導電層と、前記シリコン窒化膜からなる第2の絶縁膜上に形成された、前記シリコン窒化膜とエッチング特性の異なる第3の絶縁膜と、前記第3の絶縁膜中に形成され、前記第2の導電層上に位置する第2のコンタクト窓と、前記第2のコンタクト窓を介して前記第2の導電層と接続する第3の導電層とを有することを特徴とする半導体装置。

【0060】半導体基板上にゲート絶縁膜を介して形成されたMISトランジスタのゲート電極と、前記ゲート電極の両側の基板中に形成された、ソースまたはドレインとなる第1と第2の不純物拡散層領域と、前記ゲート電極と第1と第2の不純物拡散層領域を含む前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成されたシリコン窒化膜からなる第2の絶縁膜と、前記第1と第2の絶縁膜を貫いて前記第1の不純物拡散層領域に到達する第1のコンタクト窓と、前記第2の不純物拡散層領域に到達する第2のコンタクト窓と、前記第1のコンタクト窓内に形成され、前記第1の不純物拡散層領域上に接続された第2の導電層と、前記第2のコンタクト窓内に形成され、前記第2の不純物拡散層領域上に接続された第3の導電層と、前記第2と第3の導電層を含む前記第2の絶縁膜上に形成された第3の絶縁膜と、前記第3の絶縁膜を貫き、前記第2の導電層に到達する第3のコンタクト窓と、前記第3のコンタクト窓を介して前記第2の導電層と接続する第4の導電層とを有することを特徴とする半導体装置。

【0061】さらに、前記第3の絶縁膜を貫き、前記第2の不純物拡散層領域に接続された前記第3の導電層に到達する第4のコンタクト窓と、前記第4のコンタクト窓を介して前記第3の導電層と接続する、蓄積電極となる第5の導電層と、前記第5の導電層と対向して、キャパシタ絶縁膜を介して形成された、対向電極となる第6の導電層を有することを特徴とする半導体装置。

【0062】また、上記課題は、以下の特徴を持つ半導体装置の製造方法によって解決される。半導体基板上にゲート絶縁膜と第1の導電層を形成し、パターンニングしてMISトランジスタのゲート電極を形成する工程と、前記ゲート電極をマスクとして前記基板中にソースまたはドレインとなる不純物拡散層領域を形成する工程と、前記ゲート電極を含む前記半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上にシリコン窒化膜からなる第2の絶縁膜を形成する工程と、前記第2の絶縁膜と第1の絶縁膜を選択的に順次エッチングして前記不純物拡散層領域の少なくとも一方に達する第1のコンタクト窓を形成する工程と、前記第1のコンタクト窓内に第2の導電層を形成する工程と、前記第2の導電層を含む前記第2の絶縁膜上に第3の絶縁膜を形成する工

程と、前記第3の絶縁膜を貫き、前記第2の導電層に接続する第2のコンタクト窓を形成する工程と、前記コンタクト窓を介して前記第2の導電層と接続する第3の導電層を形成する工程を有することを特徴とする半導体装置の製造方法。

【0063】本発明の第2の観点によれば、コンタクト窓内に形成された配線用の導電層の周辺にエッチングストップ層として機能する窒化膜があって、酸化膜やBPSG等の下層の層間絶縁膜が表面に露出していないため、窒化膜上にさらに形成された上層の層間絶縁膜のコンタクト窓を形成するとき、位置合わせずれをおこしても導電層の周辺の下層絶縁膜がエッチングされることはなく、位置合わせずれに対してマージンの大きいプロセスとなる。

【0064】また、上層絶縁膜の横に前記コンタクト窓が形成されている場合には、下層絶縁膜がエッチングされないため、SAC工程をとることが可能である。本発明の第3の観点によれば、上記課題は、以下の特徴をもつ半導体装置によって解決される。半導体基板上にゲート絶縁膜を介して形成されたMISトランジスタのゲート電極と、前記ゲート電極の両側の基板中に形成された、ソースまたはドレインとなる第1と第2の不純物拡散層領域と、前記ゲート電極と第1と第2の不純物拡散層領域を含む前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成されたシリコン窒化膜からなる第2の絶縁膜と、前記第1と第2の絶縁膜を貫いて前記第1の不純物拡散層領域に到達する第1のコンタクト窓と、前記第2の不純物拡散層領域に到達する第2のコンタクト窓と、前記第1のコンタクト窓内に形成された、前記第1の不純物拡散層領域上に接続された第2の導電層と、前記第2のコンタクト窓内に形成され、前記第2の不純物拡散層領域上に接続された第3の導電層と、前記第2と第3の導電層を含む前記第2の絶縁膜上に形成された第3の絶縁膜と、前記第3の絶縁膜を貫き、前記第2の導電層に到達する第3のコンタクト窓と、前記第3のコンタクト窓を介して前記第2の導電層と接続する第4の導電層とを有することを特徴とする半導体装置。

【0065】シリコン基板上にゲート絶縁膜を介して形成されたMISトランジスタのゲート電極と、前記ゲート電極の両側の基板中に形成された、ソースまたはドレインとなる不純物拡散層領域と、前記ゲート電極と前記不純物拡散層領域を挟む前記シリコン基板上に形成された第1の絶縁膜と、前記第1の絶縁膜を貫いて前記不純物拡散層領域の少なくとも一方に到達する第1のコンタクト窓と、前記第1のコンタクト窓内に形成され、前記不純物拡散層領域に接続された第2の導電層と、前記第2の導電層を含む前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成されたシリコン窒化膜からなる第3の絶縁膜と、前記第2、第3の絶縁

膜を置き、前記不純物拡散層領域に接続された前記第2の導電層に到達する第2のコンタクト窓と、前記第2のコンタクト窓を介して前記第2の導電層と接続し、底面部と、基板に対して垂直に形成された筒状の形状を有し、蓄積電極となる第3の導電層と、前記第3の導電層と対向して、キャパシタ絶縁膜を介して形成され、かつ、一部は前記第3の絶縁膜の表面とキャパシタ絶縁膜を介して接触する第4の導電層とを有することを特徴とする半導体装置。

【0066】また、上記課題は、以下の特徴を持つ半導体装置の製造方法によって解決される。半導体基板上にゲート絶縁膜と第1の導電層を形成し、パターンニングしてMISトランジスタのゲート電極を形成する工程と、前記ゲート電極をマスクとして前記基板中にソースまたはドレインとなる不純物拡散層領域を形成する工程と、前記ゲート電極を含む前記半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上にシリコン窒化膜からなる第2の絶縁膜を形成する工程と、前記第2の絶縁膜と第1の絶縁膜を選択的に順次エッチングして前記不純物拡散層領域の少なくとも一方に達する第1のコンタクト窓を形成する工程と、前記第1のコンタクト窓内に第2の導電層を形成する工程と、前記第2の導電層を含む前記第2の絶縁膜上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜を置き、前記第2の導電層に接続する第2のコンタクト窓を形成する工程と、前記コンタクト窓を介して前記第2の導電層と接続する第3の導電層を形成する工程を有することを特徴とする半導体装置の製造方法。

【0067】さらに、全面に第4の絶縁膜を形成する工程と、前記第3の導電層が形成されていない前記第2の導電層上の前記第4の絶縁膜と第3の絶縁膜を選択的に除去して前記第2の導電層に到達する第3のコンタクト窓を形成する工程と、前記第3のコンタクト窓の底面および側面に選択的に第4の導電層を形成する工程と、前記第4の導電層をマスクとし、前記第2の絶縁膜をエッチングストップとして前記第4の絶縁膜を除去して、前記第4の導電層を筒状に露出させる工程と、前記第4の導電層の表面に第5の絶縁膜を形成する工程と、前記第5の絶縁膜を含む半導体基板上に第5の導電層を形成する工程と、前記第5の導電層を少なくとも前記第4の導電層を含む領域の一部を残して選択的に除去する工程とを有することを特徴とする半導体装置の製造方法。

【0068】さらに、第3の導電層の上部および側壁部を覆うシリコン窒化膜からなる第6の絶縁膜を形成する工程と、前記第2の絶縁膜と前記第6の絶縁膜をエッチングストップとして前記第4の絶縁膜を除去する工程を有することを特徴とする半導体装置の製造方法。基板上に第1の導電層と第1の絶縁膜とシリコン窒化膜からなる第2の絶縁膜と第3の絶縁膜を順次形成する工程と、前記第3、第2、第1の絶縁膜を順次エッチングして第5

1の導電層に達するコンタクト窓を形成する工程と、前記コンタクト窓の底面および側面に選択的に第2の導電膜を形成する工程と、前記第2の導電層をマスクとし、前記第2の絶縁膜をエッチングストップとして前記第3の絶縁膜を除去して、前記第2の導電層を筒状に露出させる工程と、前記第2の導電層の表面に第4の絶縁膜を形成する工程と、前記第4の絶縁膜を含む半導体基板上に第3の導電層を形成する工程と、前記第3の導電層を少なくとも前記第2の導電層を含む領域の一部を残して選択的に除去する工程とを有することを特徴とする半導体装置の製造方法。

【0069】半導体基板上にゲート絶縁膜と第1の導電膜を形成し、パターンニングしてMISトランジスタのゲート電極を形成する工程と、前記ゲート電極をマスクとして前記基板中にソースまたはドレインとなる不純物拡散層領域を形成する工程と、前記ゲート電極を含む前記半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜を選択的にエッチングして前記不純物拡散層領域に達する第1のコンタクト窓を形成する工程と、前記第1のコンタクト窓内に第2の導電層を形成する工程と、前記第2の導電層を含む前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜を置き、前記第2の導電層に接続する第2のコンタクト窓を形成する工程と、前記第2のコンタクト窓を介して前記第2の導電層と接続する第3の導電層を形成する工程と、前記第3の導電層を含む前記半導体基板上に、第3の絶縁膜とシリコン窒化膜からなる第4の絶縁膜と第5の絶縁膜を順次形成する工程と、前記第3の導電層が形成されていない前記第2の導電層上の前記第5、第4、第3および第2の絶縁膜を順次選択的に除去して前記第2の導電層に到達する第3のコンタクト窓を形成する工程と、前記第3のコンタクト窓の底面および側面に選択的に第4の導電層を形成する工程と、前記第4の導電層をマスクとし、前記第4の絶縁膜をエッチングストップとして前記第5の絶縁膜を除去して、前記第4の導電層を筒状に露出させる工程と、前記第4の導電層の表面に第6の絶縁膜を形成する工程と、前記第6の絶縁膜を含む半導体基板上に第5の導電層を形成する工程と、前記第5の導電層を少なくとも前記第4の導電層を含む領域の一部を残して選択的に除去する工程とを有することを特徴とする半導体装置の製造方法。

【0070】本発明の第3の観点によれば、シリンドラ型蓄積電極を形成する際に、蓄積電極の外側の絶縁膜の下にエッチングストップ膜として機能する窒化膜を形成しておくことにより、蓄積電極の外側の絶縁膜をすべて除去することができるため、シリンドラ型の蓄積電極の外側面の面積を一定にすることができ、キャパシタ容量のバラつきが小さく、安定したDRAMセルを製造することが可能となる。

【0071】また、セル領域と周辺回路部との高低差を

あまり大きくすることなくDRAMセルを製造することも可能になる。本発明の第4の観点によれば、上記課題は、以下の特徴を持つ半導体装置によって解決される。基板からの距離の異なるレベルに形成された第1と第2の導電層と、前記第1と第2の導電層を含む前記基板上に形成された第1の絶縁膜と、前記第1の絶縁膜を貫いて前記第1の導電層の表面が露出するように形成された第1のコンタクト窓と、前記第1の絶縁膜と前記第2の導電層を貫いて形成された第2のコンタクト窓と、少なくとも前記第1、第2のコンタクト窓の中に形成され、前記第1のコンタクト窓を通して前記第1の導電層の表面と接続され、前記第2のコンタクト窓を通して前記第2の導電層の側壁部と接続される第3の導電層とを有し、前記第1の絶縁膜表面から前記第1の導電層までの深さをD1、前記第1の絶縁膜表面から前記第2の導電層までの深さをD2としたとき、D1はD2より大であることを特徴とする半導体装置。

【0072】前記第2の導電層の下には、前記第1の絶縁膜とエッチング特性の異なる第2の絶縁膜を有していることを特徴とする半導体装置。基板からの距離の異なるレベルに形成された第1と第2と第3の導電層と、前記第1と第2と第3の導電層を含む前記基板上に形成された第1の絶縁膜と、前記第2の導電層の下に形成された第1の絶縁膜とエッチング特性の異なる第2の絶縁膜と、前記第3の導電層の上に形成された前記第2の絶縁膜と同じエッチング特性を有する第3の絶縁膜と、前記第1の絶縁膜を貫いて前記第1の導電層の表面が露出するように形成された第1のコンタクト窓と、前記第1の絶縁膜と前記第2の導電層と前記第2の絶縁膜とを貫いて形成された第2のコンタクト窓と、前記第1の絶縁膜と前記第3の絶縁膜を貫いて前記第3の導電層の表面が露出するように形成された第3のコンタクト窓と、前記第1のコンタクト窓を介して前記第1の導電層の表面と接続され、前記第2のコンタクト窓を介して前記第2の導電層の側壁部と接続され、前記第3のコンタクト窓を介して前記第3の導電層の表面と接続される第4の導電層とを有し、前記第1の絶縁膜表面から前記第1の導電層までの深さをD1、前記第1の絶縁膜表面から前記第2の導電層までの深さをD2、前記第1の絶縁膜表面から前記第3の導電層までの深さをD3としたとき、D1>D3>D2であることを特徴とする半導体装置。

【0073】また、上記課題は、以下の特徴を持つ半導体装置の製造方法によって解決される。半導体基板上に第1の導電層を形成する工程と、前記第1の導電層上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第2の導電層を形成する工程と、前記第2の導電層を含む半導体基板上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上にコンタクト窓形成用のマスクを形成する工程と、前記マスクを用いて前記第2の絶縁膜と前記

第1の絶縁膜を順次エッチングして第1の導電層上にコンタクト窓を形成するとともに、前記第2の絶縁膜と前記第2の導電層を順次エッチングして前記第2の導電層を貫くコンタクト窓を形成することを特徴とする半導体装置の製造方法。

【0074】半導体基板上に第1の導電層を形成する工程と、前記第1の導電層上に第1の絶縁膜と、シリコン窒化膜からなる第2の絶縁膜を順次形成する工程と、前記第2の絶縁膜上に第2の導電層を形成する工程と、少なくとも前記第1の導電層のコンタクト領域を含む領域の前記第2の絶縁膜を選択的に除去する工程と、前記第2の絶縁膜と前記第1の絶縁膜と前記第2の導電層を含む前記半導体基板上に、第3の絶縁膜を形成する工程と、前記第3の絶縁膜上にコンタクト窓形成用のマスクを形成する工程と、前記マスクを用いて前記第3の絶縁膜と前記第1の絶縁膜を順次エッチングして第1の導電層上にコンタクト窓を形成するとともに、前記第3の絶縁膜と前記第2の導電層を順次エッチングして前記第2の導電層を貫くコンタクト窓を形成することを特徴とする半導体装置の製造方法。

【0075】本発明の第4の観点によれば、複数の配線層にコンタクト窓を形成するときに、上層の配線層の下に窒化膜を設けて、窒化膜をストップとしてエッチングすることで、コンタクト窓が上層の配線層から窒化膜下の絶縁層まで突き抜けて、下層の配線層まで達することを防ぐことができる。したがって、層間のショートを防ぐことができるため、コンタクト窓の深さが異なる上層の配線層と下層の配線層のコンタクト窓を一度のフォトリソグラフィ工程で形成することができ、工程を短縮することができ。

【0076】また、上層と下層の中間の配線層上に窒化膜を形成しておき、窒化膜をストップとして第1ステップのエッチングを行い、ついで窒化膜をエッチングする第2ステップのエッチングを行なうことで、コンタクト窓が上層の配線層から窒化膜下の絶縁層を突き抜けた後、中間層の配線層を突き抜けてさらに下層の配線層を突き抜けた後、下層の配線層に達することを防ぐことができる。したがって、層間のショートを防ぐことができるため、コンタクト窓の深さが異なる上層と中間層と下層の配線層のコンタクト窓を一度のフォトリソグラフィ工程で形成することができ、工程を短縮することができる。

【0077】本発明の第5の観点によれば、上記課題は、以下の特徴を持つ半導体装置によって解決される。基板上に略平行に、かつ複数本配置された第1の導電層と、前記第1の導電層を覆うように設けられた第1の絶縁膜と、前記隣接する第1の導電層間を埋め込み、前記第1の絶縁膜の上面と一致する、前記基板と平行な面を持つ第2の絶縁膜と、前記第2の絶縁膜に設けられ、その底部の一部が前記第1の絶縁膜上にかかるように形成



されたコンタクト窓を有することを特徴とする半導体装置。

【0078】基板上に略平行に、かつ複数本配置され、基板からの距離のレベルが複数ある第1の導電層と、前記第1の導電層を覆うように設けられた第1の絶縁膜と、前記隣接する第1の導電層間を埋め込み、前記第1の絶縁膜の基板からの距離のレベルが最も大きい第1の絶縁膜の上面と一致する、前記基板と略平行な面を持つ第2の絶縁膜を有することを特徴とする半導体装置。

【0079】前記第2の絶縁膜に設けられ、その底部の一部が前記第1の絶縁膜上にかかるように形成されたコンタクト窓を有することを特徴とする半導体装置。前記基板からの距離のレベルが大きい第1の絶縁膜はフィールド絶縁膜上に形成され、前記基板からの距離のレベルが最も小さい第1の導電層は活性領域上に形成されていることを特徴とする半導体装置。

【0080】また、上記課題は、以下の特徴を持つ半導体装置の製造方法によって解決される。半導体基板上に第1の導電層と第1の絶縁膜を順次形成する工程と、前記第1の絶縁膜と前記第1の導電層からなる積層体を略平行に配置するようにパターンニングする工程と、前記積層体を含む前記半導体基板上に第2の絶縁膜を形成し、異方性エッチングを行なって積層体の側壁にサイドウォールを形成する工程と、前記第1および第2の絶縁膜に覆われた前記第1の導電層を含む前記半導体基板上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜を前記第1の絶縁膜をストッパーとして、CMP法により平坦化する工程と、前記第3の絶縁膜の一部を除去し、その底部の一部が少なくとも前記第2の絶縁膜の一部の上にくるように、コンタクト窓を形成することを特徴とする半導体装置の製造方法。

【0081】半導体基板上に素子分離用の絶縁膜を形成して活性領域を画定する工程と、前記素子分離用絶縁膜と活性領域を含む前記半導体基板上に第1の導電層と第1の絶縁膜を順次形成する工程と、前記第1の絶縁膜と前記第1の導電層からなる積層体を略平行に配置するようにパターンニングする工程と、前記積層体を含む前記半導体基板上に第2の絶縁膜を形成し、異方性エッチングを行なって積層体の側壁にサイドウォールを形成する工程と、前記第1および第2の絶縁膜に覆われた前記第1の導電層と素子分離用絶縁膜を含む前記半導体基板上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜を前記素子分離用絶縁膜上の前記第1の絶縁膜をストッパーとして、CMP法により平坦化する工程とを有することを特徴とする半導体装置の製造方法。

【0082】本発明の第5の観点によれば、窒化膜スペーサSACに用いる配線層の上の絶縁膜を平坦化するときに、窒化膜をCMPのストッパーとして用いることにより、ストッパーとなる層を新たに形成しないで平坦化ができる。したがって、新たな工程の増加を行わず

に精度のよい平坦化が可能である。また、基板からの距離の異なる配線層群の上に形成された絶縁膜を平坦化する工程において、基板からの距離が最も大きい配線層の上に設けた窒化膜をCMP工程のストッパーとして用いることにより、上記配線層群の上に設けられた絶縁膜の平坦化を精度よく行うことができる。

【0083】このとき基板からの距離が最も大きいものではない配線層上の絶縁膜の下の膜はストッパーとして研磨にさらされないので、一定の厚さを保つことができ、耐圧を維持することが可能である。特開平6-181209号には、導電層の上面にシリコン窒化膜を設け、その上部に形成された絶縁膜を、前記シリコン窒化膜をストッパーとしてCMP法により平坦化する方法が示されている。そして、本公報の図4には従来技術として、所望の形状にパターンニングされた導電層の上面および側面、さらに導電層間にシリコン窒化膜が設けられ、それをCMPのストッパー膜として用いることが記載されている。

【0084】しかし、本公報には窒化膜スペーサSACについては何も記載されていない。窒化膜スペーサSACをDRAMに用いた場合の問題については何も記載されていない。本発明によるDRAMの製造方法では導電層上の窒化膜をストッパー層として用いることで、上部に形成された絶縁膜を平坦化できるだけでなく、膜厚のばらつきを少なくすることもできる。

【0085】平坦化した絶縁膜の膜厚がばらついていると、後工程の窒化膜スペーサSACでコンタクト窓形成するときのエッチング量が分布が生じ、コンタクト窓形成時に窒化膜領域が減少して導電層とコンタクト窓内に形成される上層導電層とがショートする危険性が増してしまう。本発明では、ストッパーとなる層をわざわざ形成するのではなく、窒化膜スペーサSACを用いるために必要となる、窒化膜スペーサをそのまま用いることができるため、新たな工程の増加を招くことはない。

【0086】上記公知例には、このような窒化膜スペーサSACをDRAMに用いたときの特有の問題について何ら記載がないし、それを解決する手段についての説明もない。さらに、本発明では、配線層を基板からの距離の異なるように設け、基板からの距離が最も大きい配線層の窒化膜のみをストッパーとして用い、それよりも基板に近いレベルの配線層上の窒化膜をストッパーとして機能させないことで、基板に近いレベルの配線層の窒化膜の絶縁層圧を低下させないことができるが、本公報にはそのようなことはどこにも記載されていない。

【0087】本発明の第6の観点によれば、上記課題は、以下の特徴を持つ半導体装置によって解決される。シリコン基板上にゲート絶縁膜を介して形成されたMISトランジスタのゲート電極と、前記ゲート電極の両側の基板中に形成された、ソースまたはドレインとなる第1と第2の不純物拡散層領域と、前記ゲート電極と第1

31

と第2の不純物拡散層領域を被り前記シリコン基板上に形成された絶縁膜と、前記絶縁膜を貫いて前記第1と第2の不純物拡散層領域にそれぞれ到達するコンタクト窓と、前記コンタクト窓を介して、前記第1と第2の不純物拡散層領域上にそれぞれ接続された、同一の導電層から形成された第1と第2の導電層と、前記第1の導電層を介して前記第1の不純物拡散層領域に接続されたビット線と、前記第2の導電層を介して前記第2の不純物拡散層領域に接続されたキャパシタ蓄積電極とを有し、前記第2の不純物拡散層の濃度は前記第1の不純物拡散層の濃度よりも大であることを特徴とする半導体装置。

【0088】シリコン基板上にゲート絶縁膜を介して形成されたMISトランジスタのゲート電極と、前記ゲート電極の両側の基板中に形成された、同じ不純物濃度を有する、ソースまたはドレインとなる第1と第2の不純物拡散層領域と、前記ゲート電極と第1と第2の不純物拡散層領域上に形成された絶縁膜と、前記絶縁膜を貫いて前記第1と第2の不純物拡散層領域にそれぞれ到達するコンタクト窓と、前記第2の不純物拡散層領域上に位置する前記コンタクト窓の下部の基板中に形成された、前記第2の不純物拡散層領域と同導電型の第3の不純物拡散層領域と、前記コンタクト窓を介して、前記第1の不純物拡散層領域と接続された第1の導電層と、前記コンタクト窓と前記第3の不純物拡散層を介して前記第2の不純物拡散層領域上に接続された前記第1の導電層と同一の導電層から形成された第2の導電層と、前記第1の導電層を介して前記第1の不純物拡散層領域に接続されたビット線と、前記第2の導電層を介して前記第2の不純物拡散層領域に接続されたキャパシタ蓄積電極とを有し、前記第3の不純物拡散層領域の不純物濃度は、前記第1および第2の不純物拡散層領域の不純物濃度よりも大であることを特徴とする半導体装置。

【0089】また、上記課題は、以下の特徴を持つ半導体装置の製造方法によって解決される。一導電型半導体基板上にゲート酸化膜とゲート電極を形成する工程と、前記ゲート電極をマスクとして、前記一導電型基板中に反対導電型の第1の不純物をイオン注入してゲート電極の両側に、ソース・ドレインとなる第1と第2の不純物拡散層領域を形成する工程と、前記一導電型基板上に前記ゲート電極を覆うように絶縁膜を形成する工程と、前記絶縁膜の一部をエッチングして前記第1の不純物拡散層領域に達する第1のコンタクト窓と、前記第2の不純物拡散層領域に達する第2のコンタクト窓を形成する工程と、前記第2のコンタクト窓をマスク部材で覆う工程と、前記マスク部材および前記絶縁膜をマスクとして、前記第1のコンタクト窓に露出した前記第1の拡散層領域に、反対導電型の第2の不純物をイオン注入し、第3の不純物拡散層領域を形成する工程と、前記第1のコンタクト窓を介して、前記第3および第1の不純物拡散層領域に接続される第1の導電層と、前記第2のコンタ

32

ト窓を介して、前記第2の不純物拡散層領域に接続される第2の導電層を形成する工程と、前記第1の導電層を介して前記第3および第1の不純物拡散層領域に接続されるDRAMの蓄積電極を形成する工程と、前記第2の導電層を介して前記第2の不純物拡散層領域に接続されるDRAMのビット線を形成する工程とを有することを特徴とする、半導体装置の製造方法。

【0090】前記第2の不純物のイオン注入のドーザ量は、前記第1の不純物のイオン注入のドーザ量よりも大きいことを特徴とする半導体装置の製造方法。本発明の第6の観点によれば、メモリセル部のキャパシタ側のソース・ドレイン領域にのみ接合リークを防ぐための不純物を導入し、ビットラインとの接続側のソース・ドレイン領域には接合リークを防ぐための不純物を新たに導入しない。

【0091】前記不純物注入をキャパシタが接続される側のみに行うことにより、MOSTランジスタのソース・ドレインの内、片側は浅い接合深さとすることができ、トランジスタの短チャネル効果や、素子間のリーク電流への悪影響を抑える事ができ、しかも、接合リークに関してシビアなキャパシタ側では接合リークを抑えることが可能である。

【0092】

【発明の実施の形態】以下、各実施の形態について説明する。なお、図中の符号で各実施の形態で同じもの、または相当するものに対しては、同じ符号を用いている。

【第1の実施の形態】図2は、DRAMのメモリセル部の模式平面図である。図において、11は活性領域、12はMOSTランジスタのゲート電極も兼ねるワードライン、13はビットライン、14はビットラインとMOSTランジスタのソース・ドレイン拡散層とのコンタクト窓、15はシリンドラ型蓄積電極とMOSTランジスタのソース・ドレイン拡散層とのコンタクト窓である。なお、ゲート電極上とビットライン上に形成される裏打ちワードラインなどの配線層は図中には示していない。

【0093】次に、図3から図13をもとに、本発明のDRAMに対してコンタクト窓をセルフアラインコンタクト技術を用いて形成する方法について具体的に述べる。なお、図3～図13は、メモリセル部については図2のA-A'部の、周辺回路部については典型的な例としての配線構造の模式切断断面図である。はじめに、図3(a)に示すように、p型シリコン基板16上に、公知のLOCOS法(Local Oxidation of Silicon)を用いて厚い酸化膜17(フィールド酸化膜)を形成し、素子分離領域と活性領域を画定する。図中MCはメモリセル領域、PCは周辺回路領域を表している。

【0094】周辺回路領域には、種々の回路が形成されるため、通常は、これらの回路を構成するためのnチャネルMOSTランジスタ形成領域やpチャネルMOST

50

ランジスタ形成領域が形成されている  
pチャネルMOSトランジスタ形成領域としては、p型シリコン基板中に形成されたn型ウェル内に形成されるものがあり、nチャネルMOSトランジスタ形成領域としては、p型シリコン基板中に形成されたp型ウェル内に形成されるものや、p型シリコン基板中に形成されたn型ウェル内にさらに形成されたp型ウェル（三重ウェル構造）内に形成されるものなどがある。これらの構成は、所望の特性によって適宜選べばよい。

【0095】したがって、図示していないが、LOCOS工程の前後で周辺回路領域PCの他の領域には、p型の不純物やn型の不純物をイオン注入し、それぞれp型ウェル、n型ウェルを形成し、n型ウェル領域の一部には、さらにp型の不純物を導入する事により、n型ウェルにその周辺部、底部を囲まれたp型ウェルを形成する。

【0096】このとき、必要であればフィールド酸化膜17の下部には、ウェルの不純物型を考慮して、p型不純物やn型不純物をイオン注入し、チャネルストップ層を形成する。また、活性領域には、これも図示していないが、各MOSトランジスタの特性に合わせて、しきい値（V<sub>th</sub>）を制御するための不純物を導入する。

【0097】なお、上記したウェル層やチャネルストップ層およびV<sub>th</sub>制御用のイオン注入は、工程上必ずしもこの位置で行う必要があるわけではなく、以下に順次説明するゲート酸化膜形成工程やゲート電極形成工程などの後でも構わないことは言うまでもない。次に、図3

(b)に示すように、基板表面を酸化してゲート酸化膜18を8nm形成し、その上にリンをドープしたシリコン膜19を50nm、タンダステンシリサイド（WSi）膜20を50nm、シリコン窒化膜21を80nmを順次公知のCVD法（Chemical Vapor Deposition 化学気相成長法）を用いて形成する。

【0098】これらの積層体を公知のフォトリソグラフィ法を用いてMOSトランジスタのゲート電極となるよう所望のパターンにパターンニングする。セル部においては、これらの積層体のポリサイド構造はワード線（図1の12に相当）となる。次に、図4（a）に示すように、熱酸化により酸化膜22を2～10nm成長させる。この酸化により、ポリサイド構造のシリコン膜19とWSi膜20の側壁および活性領域のシリコン基板16表面に酸化膜が形成されるが、シリコン窒化膜21は酸化されないで、シリコン窒化膜21の側壁には酸化膜が形成されない。また、シリコン膜19は基板11にくらべて不純物濃度が高いため、酸化膜22の厚さは基板よりも厚くなる。

【0099】つづいて前記ゲート電極をマスクとして、基板全面にn型の不純物であるリンを $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する。これによってnチャネルMOSトランジスタ領域ではLDD（Lightly Doped Dr

ain）構造のn<sup>+</sup>層に相当する不純物拡散層23が形成される。このとき、pチャネルMOSトランジスタ領域にもこのn型不純物が導入されるが、後工程の高濃度のp型不純物層のイオン注入により実質的に消失させることができるため問題はないし、最終的にこのn型不純物領域をソース・ドレイン部となるp型不純物拡散層の周囲に残しておけば、バンチスルー防止の役割をもたせることも可能である。

【0100】次に図4（b）に示すように、CVD法によりシリコン窒化膜を50～150nm形成し、それを公知のRIE（Reactive Ion Etching）法などで異方性エッチングすることにより、ゲート電極の側壁に酸化膜からなるサイドウォールスペアを形成する。このとき、基板16上などの、窒化膜に覆われていない領域の酸化膜22は、残した状態でエッチングを終了するほうが、エッチングダメージが少ないため、より好ましいが、必ずしも残す必要があるわけではない。

【0101】このサイドウォール窒化膜はポリサイド電極上の窒化膜20と一体化して、窒化膜領域24を構成する。この工程により、シリコン膜19とWSi膜20からなるポリサイド電極の周囲は窒化膜領域24で覆われるが、ポリサイド電極の側壁部では、酸化膜22が存在するため、後工程の熱処理でWSi膜20が基板から剥離することを防ぐことができる。

【0102】つづいて熱酸化によって酸化膜を2～10nm成長する。このときシリコン基板上に露出している酸化膜22をフッ酸系のエッチャントで除去してから酸化してもよい。膜厚の制御性からは除去したほうがよいが、フィールド酸化膜17や、サイドウォール窒化膜の下にある酸化膜22まで削られる危険性がある。この酸化によって、窒化膜領域24に覆われたシリコン膜19やWSi膜20は酸化されないため、主として活性領域上のシリコン基板が酸化され、前記酸化膜22と一体化する。なお、本実施の形態では以降この一体化した酸化膜を酸化膜22と称する。

【0103】つづいて、セル領域を除く周辺領域のnチャネルMOSトランジスタ領域が露出するようにレジストパターンを形成し、窒化膜領域24を有するゲート電極をマスクとして、前記レジストの開いた領域に、n型不純物であるヒ素を $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する。これによって、周辺領域のnチャネルMOSトランジスタ領域には、高濃度不純物拡散層領域25がLDD構造のn<sup>+</sup>層として形成される。

【0104】なお、セル領域のトランジスタのソース・ドレイン層に、この高濃度n型不純物層のイオン注入は行わない理由は、高濃度の不純物導入による結晶欠陥を防ぎ、微少な電荷を貯えるキャパシタンスからのリーク電流を抑えるためである。つづいて、周辺領域のpチャネルMOSトランジスタ領域が露出するようにレジストパターンを形成し、窒化膜領域24を有するゲート電極

35

をマスクとして、前記レジストの開いた領域に、 $\text{BF}_3$ ・イオンを $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、pチャネルMOSトランジスタのソース・ドレイン領域となる不純物拡散層領域を形成する。

【0105】次に、図5(a)に示すように、BPSG膜26をCVD法により100～200nm成長した後、750～900℃の温度で熱処理を行い、リフローさせて表面を平坦化する。さらに平坦化を行う為に、エッチバック法やCMP法を用いてもよいし、これらを組み合わせることで平坦化しても構わない。

【0106】なお、エッチバック法やCMP法を用いる場合には、除去される膜厚分だけ厚くBPSG膜の成長を行い、エッチバックやCMP処理後の膜厚が100～200nmとなるようにする。つづいて、セル領域のMOSトランジスタのソース・ドレイン領域が露出するようにレジストを開孔し、開口内のBPSG膜26と酸化膜22を、たとえば $\text{CF}_4$ と $\text{CO}$ の混合ガスを用いてRIE法によって順次エッチングして、基板表面を露出させ、コンタクト窓27を形成する。

【0107】コンタクト窓27は窒化膜領域24のスペーサによってセルフアラインで規定されており、しかも、前記レジストの開口部が位置ずれをおこしたとしても、ポリサイドゲート電極のまわりは全て窒化膜で覆われていて酸化膜が露出していないため、エッチングで除去してしまうことはなく、図35の従来例で述べたようなゲート電極とコンタクト電極がショートするようなことはない。

【0108】なお、望ましくは、BPSG膜26と酸化膜22のエッチングは、窒化膜領域24がエッチングされないように、窒化膜との選択比が1.0以上ある条件で行うことが好ましい。つづいて、レジストを除去したあと、BPSG膜26と窒化膜領域24をマスクとして、コンタクト窓27のシリコン基板中に、n型不純物であるリンを $3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、n型拡散層28を形成する。

【0109】このn型拡散層28は必ずしも必要ではないが、コンタクト窓27が位置ずれしてフィールド酸化膜17のエッジ付近にかかって形成された場合に、ソース・ドレイン拡散層形成用のn型不純物が導入されていないフィールド酸化膜17のエッジ付近で、接合リークが大きくなってしまいうという問題が生ずるのを防ぐことができる。

【0110】次に、図5(b)に示すように、CVD法によりリンをドーパしたシリコン膜を全面に形成した後、エッチバック法やCMP法を用いて、コンタクト窓27内にシリコン膜のプラグ29を残存させる。なお、エッチバック法やCMP法を用いずに、選択CVD法を用いてシリコン膜のプラグ29を形成してもよい。

【0111】つづいて、CVD法により酸化膜30を30～100nm成長する。次に、図6(a)に示すよう

36

に、ビット線接続領域にレジストを開孔して、それをマスクに酸化膜30をエッチングし、シリコン膜プラグ29の上面の一部が露出するようなコンタクト窓31を形成したあと、レジストを除去する。つづいて、リンをドーパしたシリコン膜32を30nm、WSi膜33を50nm、シリコン窒化膜34を80nmを順次CVD法により形成する。

【0112】これらの積層体を公知のフォトリソグラフィ法を用いて所望の配線パターンにパターンニングする。これらの積層体のポリサイド電極は、セル部においてはビット線(図2の13に相当)となり、周辺回路部ではビット線以外の配線層としても用いられる。次に、図6(b)に示すように、熱酸化により酸化膜35を2～10nm成長させる。この酸化により、ポリサイド構造のシリコン膜32とWSi膜33の側壁部には酸化膜が形成されるが、シリコン窒化膜は酸化されないで、シリコン窒化膜34の側壁には酸化膜が形成されない。

【0113】つづいて、CVD法により、シリコン窒化膜を50～150nm形成し、それをRIE法で両方性エッチングし、ビット線の側壁に窒化膜からなるサイドウォールを形成する。このサイドウォール窒化膜はポリサイド電極上の窒化膜34と一体化して、窒化膜領域36を構成する。

【0114】この工程により、シリコン膜32と、WSi膜33からなるポリサイド電極の周囲は窒化膜領域36で覆われるが、ポリサイド電極の側壁部には、酸化膜35が存在するため、後工程の熱処理でWSi膜33が基板から剥離することを防ぐことができる。次に、図7に示すように、BPSG膜37をCVD法により500nm成長した後、750～900℃の温度で熱処理を行い、リフローさせて表面を平坦化する。

【0115】さらに平坦化を行うために、エッチバック法やCMP法を用いてもよいし、これらを組み合わせることで平坦化しても構わない。なお、エッチバック法やCMP法を用いる場合には、除去される膜厚分だけ厚くBPSG膜の成長を行い、エッチバックやCMP処理後の膜厚が500nmとなるようにする。

【0116】BPSG膜37の厚さは、シリンドラ型蓄積電極の場合には容量を決定する条件のひとつとなる。したがって、さらに大きな容量が必要な場合は、500nm以上に厚く形成する必要がある。次に、図8に示すようにキャパシター接続領域が露出するようレジストを開孔し、それをマスクに開口内のBPSG膜37と酸化膜30をたとえば $\text{CF}_4$ と $\text{CO}$ の混合ガスを用いてRIE法によって順次エッチングして、シリコン膜プラグ29の上面が露出するようなコンタクト窓38を形成する。

【0117】通常、シリンドラ型蓄積電極を用いる場合、コンタクト窓38の大きさはシリンドラ型蓄積電極の底面積および周辺長と関係するため、キャパシタ容量を増や

10

20

30

40

50

するためには、なるべく大きく開口することが望ましい。本発明では、コンタクト窓38は窒化膜領域36によってビット線とセルフアラインで規定されているため、コンタクト窓をビット線であるポリサイド電極の上部まで広げることができ、シリンドリ型蓄積電極の底面積および周辺長を最大にすることができる。

【0118】しかも、ポリサイドゲート電極のまわりは全て窒化膜領域36で覆われているため、エッチングで除去されてしまうことはなく、ビット線と蓄積電極とがショートするようなことはない。なお、望ましくは、BPSG膜37と酸化膜30のエッチングは、窒化膜との選択比が10以上ある条件で行うことが好ましい。

【0119】次に、レジストを除去したあと図9に示すように、CVD法によりリンをドーピングしたシリコン膜を50nm形成した後、エッチバック法やCMP法を用いてコンタクト窓38内の側壁及び底面にのみシリコン膜39を残存させる。次に、図10に示すように、フッ酸系のエッチャントを用いてBPSG膜37をコントロールエッチングして、たとえば150nm程度残すことにより、内部がくりぬかれたシリンドリ状の蓄積電極39が形成される。

【0120】次に、図11に示すように、CVD法によりシリコン窒化膜を40nm形成し、1~2nm熱酸化することで、蓄積電極39の表面にキャパシター絶縁膜を形成する。(キャパシター絶縁膜は図中に示していない)

つづいて、CVD法によりリンをドーピングしたシリコン膜を50nm形成した後、パターンニングしてキャパシターの対向電極40を形成する。このとき、対向電極40のパターンに合わせてキャパシター絶縁膜も除去する。

【0121】次に、図12に示すように、BPSG膜41をCVD法により1 $\mu$ m成長したあと、750~900℃の温度で熱処理を行い、リフローさせて表面を平坦化する。さらに平坦化を行うために、エッチバック法やCMP法を用いてもよいし、これらを組み合わせて平坦化しても構わない。

【0122】このような平坦化処理により、セル領域と周辺回路領域で高低差がほとんどなくなり、ほぼ平坦な表面を得ることが出来る。次に、図13に示すように、42~45のコンタクト窓を形成する。コンタクト窓42は対向電極40の、コンタクト窓43はシリコン膜32、WSi膜33からなる周辺回路の配線層の、コンタクト窓44はシリコン膜19、WSi膜20からなる周辺回路の配線層の、コンタクト窓45は周辺回路のMOSTランジスタの拡散層25のコンタクト用の窓である。

【0123】BPSG膜41が平坦化されているため、レジスト露光工程で露光装置の被写野深度内に凹凸を抑えることができ、寸法精度の低下を抑えることができる。なお、これらのコンタクト窓42~45は一度のフ

ォトリソグラフィ工程で窓開けすると工程が短縮されて望ましいが、コンタクト窓の深さが大きく異なるため、最下層の拡散層25のコンタクト窓45を形成している間に、最上層の対向電極40のコンタクト窓42が突き抜けてしまい、場合によっては下層配線層とショートしてしまうことがある。

【0124】このような場合には、コンタクト窓42~45の窓開け工程を、対向電極上のコンタクト窓と、その他の導電層上のコンタクト窓に分けたり、対向電極とビット線上のコンタクト窓、ワード線とシリコン基板上のコンタクト窓の二回に分けるなど、深いコンタクト窓と浅いコンタクト窓とに分離して複数回に分けて行うことで、エッチング工程によって導電層を突き抜けるなどの弊害を取り除くことができる。

【0125】次に図14に示すように、チタン膜(Ti)をスパッタ法、窒化チタン膜(TiN)をリソクティブスパッタ法、タングステン膜(W)をCVD法で順次形成し、これをパターンニングして第1の金属配線層46を形成する。第1の金属配線層46は、セル領域ではワード線と平行な向きに配置され、ワード・デコーダーと、サブワード・デコーダーとを結ぶ配線に主として用いられる。

【0126】以降図示しないが、第1の金属配線層46の上部に層間絶縁膜を成長し、それをCMP法により平坦化する。第1の金属配線層46の上部にコンタクト窓を形成したあと、第2の金属配線層を形成してパターンニングする。第2の金属配線層としては、たとえばTiN膜とアルミニウム膜(Al)とTiN膜からなる積層体を用いることができる。

【0127】第2の金属配線層はセル領域では、ビット線と平行な向きに配置され、コラム・デコーダーと、センスアンプとを結ぶ配線に主として用いられる。また、第2の金属配線層はボンディングパッドとしても用いられる。最後にパッシベーション膜としてプラズマCVD法によりシリコン窒化膜とシリコン窒化膜を順次形成し、ボンディングパッド上のパッシベーション膜をエッチング除去してDRAMが完成する。

【0128】本実施の形態によれば、ワード線、ゲート電極、ビット線あるいは周辺回路の配線層を形成するポリサイド電極は、周囲を窒化膜入ベサで覆われているが、ポリサイド電極の側壁部では、酸化膜が存在するため、後工程の熱処理でポリサイド電極が基板上から剥離することを防ぐことができる。しかも、ポリサイドゲート電極のまわりは全て窒化膜で覆われていて、酸化膜が露出しないため、セルフアラインコンタクト窓を形成するときのエッチングで除去されてしまうことはなく、ポリサイド電極と上層配線とがショートするようなことはない。

【0129】なお、ゲート電極の横に形成される酸化膜22の厚さは薄いほうがシリサイド膜の剥離に対して強

くなる。ただし、熱酸化法で酸化膜22を形成する場合には、基板も同時に酸化されて、ゲート電極の下部の端部にゲートバースピークと言われるゲート酸化膜よりも厚い領域が形成されるため、MOSトランジスタの特性を劣化させる可能性があるため、これらを考慮して膜厚を決定するもの。

【第2の実施の形態】 上記第1の実施の形態では、図1(a)に示したように、ポリサイド電極の側壁部にも酸化膜がある例を示した。第2の実施の形態として、図1(b)に相当するポリサイド電極が酸化膜に覆われた例について、図15、図16をもとに説明する。なお、図15、図16とも、メモリセル部については図1のA-A'部の、周辺回路部については典型的な例としての配線構造の模式切斷断面図であるのは第1の実施の形態と同じである。

【0130】 図15は図1(b)に記載した発明をゲート電極やセル部のワード線(図1の12に相当)に用いた例である。第1の実施の形態の図3(a)で説明したのと同様な方法で、p型シリコン基板16上に、フィールド酸化膜17を形成する。次に、図15(a)に示すように、基板表面を酸化してゲート酸化膜18を8nm形成し、その上にリンをドーパしたシリコン膜19を50nm、WSi膜20を50nmをCVD法で順次形成する。

【0131】 ついて、酸化膜47を3~50nm形成する。形成方法は熱酸化法でもCVD法でも構わないが、熱酸化法を用いるほうが剥離に強い構造が得られるので好ましい。また、熱酸化法で酸化膜を形成すると、ポリサイド膜の膜厚が薄くなってしまふので、熱酸化法で薄く酸化膜を形成したあとでCVD法で酸化膜を形成して所望の厚さにする方法も有効である。

【0132】 ついて、CVD法を用いてシリコン窒化膜21を80nm形成したあと、これらの積層体をゲート電極や配線層となるようパターンニングする。第1の実施の形態と異なり、シリコン膜19、WSi膜20、酸化膜47、シリコン窒化膜21からなる積層体が形成される。次に、図15(b)に示すように、熱酸化により酸化膜を2~10nm成長させて、ポリサイド構造のシリコン膜19とWSi膜20の側壁部に酸化膜が形成されて、酸化膜47と一体化した酸化膜領域48が形成できる。

【0133】 ついて、第1の実施の形態と同じく、前記ゲート電極をマスクとして、基板全面にn型の不純物であるリンを $1 \times 10^{17} \text{ cm}^{-2}$ のドーパ量でイオン注入して、nチャネルMOSトランジスタ領域にLDD(構造のn<sup>-</sup>層に相当する不純物拡散層23を形成する。ついで、CVD法によりシリコン窒化膜を50~150nm形成し、それを公知異方性エッチングする事により、窒化膜領域24が酸化膜領域48を覆うように形成される。

【0134】 以降、第1の実施の形態と同様な工程をとって、DRAMを作成する。本実施の形態によれば、シリコン膜19、WSi膜20の側壁部だけでなく、WSi膜20の上面にも酸化膜が形成されるため、ポリサイド電極はシリコン窒化膜に直接接する事がない。したがって、WSi膜の剥離に対して、さらに強い構造を得ることが出来る。

【0135】 図16は図1(b)に記載した発明をセル部のビット線(図1の13に相当)に用いた例である。第1の実施の形態の図5(b)までと、同様な工程をとることで、平坦化されたBPSG膜26の上にシリコン酸化膜30が形成されている。次に、図16(a)に示すように、ビット線接続領域にレジストを開孔し、それをマスクに酸化膜30をエッチングし、シリコン膜プラグ29の上面の一部が露出するようコンタクト窓31を形成したあと、レジストを除去する。

【0136】 ついて、リンをドーパしたシリコン膜32を30nm、WSi膜33を50nmをCVD法で形成した後、酸化膜49を3~50nm形成する。形成方法や構成は、先にワード線に用いた例で示したものと同一である。ついで、CVD法を用いてシリコン窒化膜21を80nm形成したあと、これらの積層体をビット線や配線層となるようパターンニングする。

【0137】 次に、図16(b)に示すように、熱酸化により酸化膜を2~10nm成長させて、ポリサイド構造のシリコン膜32とWSi膜33の側壁部に酸化膜を形成し、酸化膜49と一体化した酸化膜領域50を形成する。ついで、CVD法によりシリコン窒化膜を50~150nm形成し、それを異方性エッチングする事により、窒化膜領域36が酸化膜領域48を覆うように形成される。

【0138】 以降、第1の実施の形態と同様な工程をとって、DRAMを作成する。この場合もワード線に用いた場合と同様に、シリコン膜32、WSi膜33の側壁部だけでなく、WSi膜33の上面にも酸化膜が形成されるため、ポリサイド電極はシリコン窒化膜に直接接する事がない。したがって、WSi膜の剥離に対して、さらに強い構造を得ることが出来る。

【0139】 上記説明では、セル部のワード線とビット線にそれぞれ用いた場合について説明したが、本発明の形態は別々に用いても構わない。2つ組み合わせてワード線とビット線の両方に適用しても構わないとは言うまでもない。なお、本実施の形態でもゲート電極を覆う酸化膜厚は薄いほうがシリサイド膜の剥離に対して強い構造となるが、前記したように、熱酸化法で酸化膜を形成する場合には、ゲート電極側壁の膜厚を厚く形成しようとするMOSトランジスタの特性を劣化させるため、あまり厚くすることができない。したがって、ゲート電極上面の酸化膜厚をゲート電極側壁の膜厚よりも厚くすることで、MOSトランジスタの特性を劣化させず

に、剥離に対して強い構造とすることができ。

【第3の実施の形態】第3の実施の形態を図17から図23の模式工程断面図をもとに述べる。なお、第1、第2の実施の形態と同じく、メモリセル部については、図1のA-A'部の、周辺回路部については典型的な例としての配線構造の模式断面図である。

【0140】第1の実施の形態と同様な手法で図4(b)の工程まで処理を行い、ワード電極やゲート電極となるポリサイド電極、窒化膜領域24等を形成する。次に、図17(a)に示すように、BPSG膜26をCVD法により100~200nm成長した後、750~900℃の温度で熱処理を行い、リフローさせて表面を平坦化する。

【0141】さらに平坦化を行うためにエッチバック法やCMP法を用いても良いのは、第1の実施の形態と同様である。つづいて平坦化されたBPSG膜24の上に、CVD法によりシリコン窒化膜51を10~50nm成長する。次に図17(b)に示すようにセル領域のMOSTランジスタのソース・ドレイン領域が露出するようにレジストを開孔し、窒化膜51とBPSG膜26と酸化膜22を順次エッチングして基板表面を露出させ、コンタクト窓27を形成する。

【0142】窒化膜51のエッチングはRIE法によりCF<sub>4</sub>、ガスを用いて行い、BPSG膜26の表面が露出したら、ガスをC<sub>4</sub>F<sub>8</sub>とCOの混合ガスに変えて、同じくRIE法により窒化膜との選択比の大きい条件でエッチングする。これは、窒化膜領域24がエッチングされないようにするためであり、窒化膜との選択比が10以上ある条件で行うのが好ましい。

【0143】本実施の形態においても、コンタクト窓27は窒化膜領域24のスペーサ部によってセルフラインで規定されており、しかも、ポリサイドゲート電極のまわりは全て窒化膜で覆われているため酸化膜が露出していないため、前記レジストの開孔部が位置ずれをおこしたとしても、スペーサ部がエッチングで除去されてしまうことはなく、図35から37の従来例で述べたようなゲート電極とコンタクト電極がショートするようなことはない。

【0144】つづいて、第1の実施の形態と同じく、レジストを除去したあと、BPSG膜26と窒化膜領域24をマスクとして、コンタクト窓27のシリコン基板中に、n型不純物であるリンを $3 \times 10^{18} \text{ cm}^{-3}$ のドーザ量でイオン注入し、n型拡散層28を形成する。次に、図18(a)に示すように、CVD法によりリンをドーブしたシリコン膜を全面に形成した後、エッチバック法やCMP法を用いて、コンタクト窓27内にシリコン膜のプラグ29を残存させる。

【0145】なお、エッチバック法やCMP法を用いず、選択CVD法を用いてシリコン膜のプラグ27を形成してもよいのは、第1の実施の形態で述べたのと同様

である。つづいて、CVD法によりシリコン酸化膜30を30~100nm成長する。次に、図18(b)に示すように、ビット線接続領域にレジストを開孔して、それをマスクに酸化膜30をエッチングし、シリコン膜プラグ29の上面の一部が露出するようなコンタクト窓31を形成したあと、レジストを除去する。

【0146】つづいて、リンをドーブしたシリコン膜32を30nm、WSi膜33を50nm、シリコン窒化膜34を80nmを順次CVD法により形成する。これらの積層体を公知のフォトリソグラフィ法を用いて所望の配線パターンにパターニングする。これらの積層体のポリサイド電極は、セル部においてはビット線(図1の13に相当)となり、周辺回路部ではビット線以外の配線層としても用いられる。

【0147】次に、図19に示すように、BPSG膜37をCVD法により500nm成長した後、750~900℃の温度で熱処理を行い、リフローさせて表面を平坦化する。さらに平坦化を行うために、エッチバック法やCMP法を用いてもよいし、これらを組み合わせて平坦化しても構わないのは、第1の実施の形態と同じである。

【0148】つづいて、キャパシタ接続領域が露出するようにレジストを開孔し、それをマスクに開口内のBPSG膜37と酸化膜30をたええC<sub>4</sub>F<sub>8</sub>とCOの混合ガスを用いてRIE法によって順次エッチングして、シリコン膜プラグ29の上面が露出するようなコンタクト窓38を形成する。このとき、ポリサイドゲート電極のまわりは全て窒化膜領域36で覆われているため、エッチングで除去されてしまうことはなく、ビット線と蓄積電極とがショートするようなことはない。

【0149】また、第1の実施の形態では、図8に示すように、酸化膜30の下にはBPSG膜26が存在するため、BPSG膜35と酸化膜28をエッチングしてコンタクト窓38を開けるときに、順次CVD法でエッチングされて、キャパシタ接続領域のプラグ27の側部に溝が形成される危険性がある。このため、溝上に形成された蓄積電極の形状が変化して面積が変わるため、キャパシタ容量が変化し、安定した素子特性が得られない可能性がある。

【0150】これに対して本実施の形態では、酸化膜30の下には窒化膜51が存在しており、蓄積電極のコンタクト部でBPSG膜37と酸化膜30をエッチングするときに、この窒化膜51がストッパとして働くため、キャパシタ接続領域のプラグ29の側部に溝が形成されることはない。したがって、安定した容量を保つことができ、DRAMの歩留り上げるのに役立つ。

【0151】次に、レジストを除去したあと図20に示すように、CVD法によりリンをドーブしたシリコン膜を50nm形成した後、エッチバック法やCMP法を用いてコンタクト窓37内の側壁及び底面にのみシリコン

膜39を残存させる。つづいて、フッ酸系のエッチャントを用いて、窒化膜51をエッチングストップとしてBPSG膜37をすべてエッチング除去することにより、内部がくりぬかれたシリンダ状の蓄積電極39が形成される。

【0152】第1の実施の形態では図9に示したように、シリコン膜39をコンタクト窓38内の側壁及び底面にのみ残存させたあと、図10に示したように、フッ酸系のエッチャントを用いてBPSG膜をコントロールエッチングして、内部がくりぬかれた柱状の蓄積電極39を形成した。本実施の形態では、窒化膜51をエッチングストップとして、シリコン膜39の外側のBPSG膜37をフッ酸系のエッチャントですべて除去することができる。このため、BPSG膜37のエッチング量がばらつくことはなく、シリンダ型蓄積電極の外側の面積を一定にすることができるため、キャパシタ容量のパラツキが小さく、安定したDRAMセルを製造することが可能となる。

【0153】次に、図21に示すように、CVD法によりシリコン窒化膜を40nm形成し、1~2nm熱酸化することで、蓄積電極37の表面にキャパシタ絶縁膜を形成する。(キャパシタ絶縁膜については図中で示していない)

つづいて、CVD法によりリンをドーブしたシリコン膜を50nm形成したあと、パターンニングしてキャパシタの対向電極40を形成する。つづいて、対向電極40のパターンに合わせてキャパシタ絶縁膜とシリコン窒化膜51を同時にエッチング除去する。

【0154】このとき、シリコン窒化膜51を残しているも構わないが、シリコン窒化膜が周辺回路部に存在すると、後工程における、周辺回路の拡散層に対するコンタクト窓の窓開け工程が、酸化膜とシリコン窒化膜両方をエッチングするため複雑になったり、コンタクト窓部でエッチング特性の違いにより、シリコン窒化膜がひさしとなり、コンタクト窓内に形成する金属配線層が断線する不具合を生じる可能性があるため、取り除いておくほうが好ましい。

【0155】また、シリコン窒化膜51のエッチング時に、セル部のビット線と同時に形成する周辺回路部の配線層のまわりのシリコン窒化膜領域36も同時にエッチングされてしまうので、シリコン窒化膜領域36を構成する、WSi膜33上34のシリコン窒化膜34の膜厚は、前記シリコン窒化膜51の膜厚より厚く設定しておくといよい。

【0156】以降の工程は第1の実施の形態と同様な工程でコンタクト窓開けや金属配線層を形成することにより、DRAMを形成することができる。本実施の形態では、第1の実施の形態に比べて、エッチングストップ層として機能する窒化膜51があるため、蓄積電極のコンタクトの形成や蓄積電極の形成に際して面積を一定に

することができ、安定した容量を保つことができるため、DRAMの歩留りを上げるのに役立つ。

【0157】その他の効果として、ビットラインのコンタクト窓を安定して開口できる効果も期待できる。以下、図22と23をもとにこの点について説明する。図22、図23は図1のA-A'で切断したセル部の模式断面図であり、図18(b)で形成したコンタクト窓31が位置ずれした場合を示している。なお、図22が酸化膜30の下にシリコン窒化膜51がない、第1の実施の形態に相当し、図23が酸化膜30の下にシリコン窒化膜51がある第3の実施の形態に相当する。

【0158】第1の実施の形態に相当する工程によれば、図22に示すように、コンタクト窓31が位置ずれして開けられた場合に、酸化膜30のエッチングによってBPSG膜26もエッチングされ、シリコン膜のプラグ29の側部に溝が掘られてしまう。この溝のために上層のビット線が断線したり、溝が埋まらずにボイドとして残ったり、逆に溝内に残った配線層によってプラグ29層がショートするなど、素子に何らかの悪影響を与える危険性がある。

【0159】これに対して、本実施の形態によれば、図23に示すように、コンタクト窓31が位置ずれして開けられた場合でも、窒化膜51がストップとして働くため、BPSG膜26がエッチングされる危険性はなく、シリコン膜のプラグ29の側部に溝が掘られることはないため、上記した悪影響は生じない。また、この窒化膜ストップ49を積極的に利用して、コンタクト窓31の大きさをシリコン膜のプラグ29より大きくすることも可能であり、コンタクト窓開け工程のマージンを高めることも可能である。

【第4の実施の形態】第4の実施の形態を図24から図28の模式工程断面図をもとに述べる。なお、第1、第2の実施の形態と同じく、メモリセル部については、図1のA-A'部の、周辺回路部については典型的な例としての配線構造の模式断面図である。

【0160】第1の実施の形態と同様な手法で図6(b)の工程まで処理を行い、ワードラインや周辺部のMOSTランジスタなどの上部に、ビットラインや周辺部で配線層となるポリサイド電極、シリコン窒化膜領域36等を形成する。次に、図24に示すように、全面にBPSG膜52をCVD法により成長した後、750~900℃の温度で熱処理を行い、リフローさせて表面を平坦化する。

【0161】さらに平坦化を行うために、エッチバック法やCMP法を用いてもよいし、これらを組み合わせて平坦化しても構わない。つづいて、シリコン窒化膜53、BPSG膜54を順次CVD法により成長させる。ここで、BPSG膜52と54の膜厚は、二層あわせて500nmとなるようにし、シリコン窒化膜53は10~50nmとなるようにする。



45

【0162】なお、BPSG膜52の厚さは、平坦化できる程度に必要であり、BPSG膜54の厚さは、容量に直接関係するシリンドラ型蓄積電極の外側の面積を規定するので、要求される容量により選ぶ必要がある。したがって、BPSG膜50と52の膜厚比やトータルの膜厚は、これらを考慮して適宜選べばよい。次に、図25に示すようにキャパシタ接続領域が露出するようレジストを開口し、それをマスクに開口内のBPSG膜54をC、F、とCOの混合ガスを用いてRIE法によってエッチングし、つづいて窒化膜3をCF<sub>4</sub>ガスをを用いてRIE法によってエッチングし、つづいてBPSG膜52と酸化膜30を再度C、F、とCOの混合ガスを用いてRIE法によって順次エッチングして、シリコン膜プラグ29の上面が露出するようなコンタクト窓38を形成する。

【0163】次に、レジストを除去したあと図26に示すように、CVD法によりリンをドーパしたシリコン膜を50nm形成したあと、エッチバック法やCMP法を用いてコンタクト窓38の側壁及び底面のみシリコン膜39を残存させる。次に、図27に示すようにシリコン膜39の外側のBPSG膜54をフッ酸系のエッチャントを用いて除去する。窒化膜53がエッチングストップとして働くため、BPSG膜54のみをすべて除去することができる。この工程で内部がくりぬかれたシリンドラ状の蓄積電極39が形成される。

【0164】本実施の形態でも、第3の実施の形態と同じく、シリンドラ型蓄積電極39の外側のBPSG膜54をすべて除去することができる。したがって、シリンドラ型蓄積電極の外側の面積を一定にすることができるため、キャパシタ容量のばらつきが小さく、安定したDRAMセルを製造することが可能となる。次に、図28に示すように、CVD法によりシリコン窒化膜を40nm形成し、1~2nm熱酸化することで、蓄積電極39の表面にキャパシタ絶縁膜を形成する。(キャパシタ絶縁膜は図には示していない)

つづいて、CVD法によりリンをドーパしたシリコン膜を50nm形成した後、パターンニングしてキャパシタの対向電極40を形成する。つづいて、対向電極40のパターンに合わせてキャパシタ絶縁膜とシリコン窒化膜53も除去する。

【0165】このとき、シリコン窒化膜53を残しても構わないが、シリコン窒化膜が周辺回路部に存在すると、後工程で拡散層とのコンタクト窓の窓開け工程が、酸化膜とシリコン窒化膜両方をエッチングするため複雑になったり、コンタクト窓部でエッチング特性の違いにより、シリコン窒化膜がばさばきとなり、コンタクト窓内に形成する金属配線層が断線する不具合を生じる可能性があるため、取り除いておくほうが好ましいのは、第3の実施の形態と同様である。

【0166】以降の工程は第1の実施の形態と同様な工

46

程でコンタクト窓開けや金属配線層を形成することにより、DRAMを形成することができる。本実施の形態では、シリンドラ型蓄積電極37の外側のBPSG膜52のみをすべて除去することが可能である。したがって、シリンドラ型蓄積電極の外側の面積を一定にすることができるため、キャパシタ容量のばらつきが小さく、安定したDRAMセルを製造することが可能となる。

【0167】第1の実施の形態の図11に示したように、キャパシタ対向電極38を形成したあとに、絶縁膜で完全に平坦化を行うが、本実施の形態のようにセル部と周辺回路部との高低差が小さいほうが、後工程での平坦化が容易であることは言うまでもない。すなわち、本実施の形態によれば、安定した容量を得るという効果とメモリセル部と周辺回路部の高低差を小さくして平坦化を容易にするという効果の両方を考慮してプロセス設計をすることができ、安定した特性のDRAMを製造することが可能となる。

【0168】なお、前記窒化膜53は、対向電極38をエッチングする際、同時に除去されるため、第3の実施の形態で述べたのと同様に、シリコン窒化膜が周辺回路部に存在することによる不具合を避けることができる。このとき、本実施の形態では、第3の実施の形態とは異なり、シリコン窒化膜53の下はBPSG膜52が存在するため、これをエッチングストップとしてシリコン窒化膜53をエッチングでき、セル部のビット線に相当する周辺回路部の配線層のまわりのシリコン窒化膜領域34がエッチングされるおそれなくなるという効果を得ることもできる。

【第5の実施の形態】図29と図30をもとに、第5の実施の形態について説明する。本実施の形態は、第1の実施の形態の図13に示した第1の金属配線層とのコンタクト窓4~45の形成方法に関するものである。

【0169】図29は第3の実施の形態にしたがって、対向電極40を形成したあとBPSG膜を形成して平坦化し、本実施の形態にそってコンタクト窓42~45を形成した状態を示している。はじめに、コンタクト窓42~45の窓開け工程で、第1のステップとして、BPSG膜41のエッチングを窒化膜との選択比が十分大きい条件で行う。このエッチングは窒化膜SA-C構造の形成するときを用いた、C、F、とCOの混合ガスなどを使用するといふ。

【0170】上記第1ステップのエッチングは最下層の拡散層25の表面が露出するまで行なう。このとき、最上層の対向電極40はエッチングされて除去されてしまうが、対向電極の下部には窒化膜51があるため、エッチングはここでストップし、その下層のBPSG膜26がエッチングされることはない。また、コンタクト窓43、44のエッチングも、それぞれ窒化膜領域36、25でストップする。

【0171】つづいて、第2ステップのエッチングとし

て、 $\text{CHF}_3$ と $\text{O}_2$ の混合ガス等を用いて、酸化膜と選択比の大きい条件でシリコン窒化膜のエッチングを行う。これにより、コンタクト窓3、4の底部にある窒化膜領域3、6、25を除去してコンタクトをとることができるようになる。なお、この窒化膜エッチングにより、対向電極40の下にある窒化膜51もエッチングされてしまうが、その下層のBPSG膜26でエッチングがストップするため、コンタクト窓42で対向電極40が下層配線層とショートをおこす心配はない。また、このようなコンタクト窓構造でも、コンタクト窓内に形成された、第1の金属配線層は、対向電極40の側壁で電気的に接続されるので、何ら問題はない。

【0172】図30は第4の実施の形態にしたがって、対向電極40を形成したあとBPSG膜を形成して平坦化し、本実施の形態にそってコンタクト窓42～45を形成した状態を示している。図30も図29と同じように対向電極40の下に窒化膜53とBPSG膜52があるため、上記した2ステップエッチングを適用することができ、下層配線層とのショートなどの問題をおこさずに、コンタクト窓42～45を一度のフォトリソグラフィ工程で形成することができる。

【0173】本実施の形態によれば、コンタクト窓の深さが異なる構造であっても、一度のフォトリソグラフィ工程で窓開けを行うことができ、工程を短縮することができる。なお、コンタクト窓41や42の底面に窒化膜が形成されておらず、第1のステップで配線層やゲート電極の表面を露出できる場合には、第2のステップの窒化膜エッチングを行なう必要はない。

【0174】また、本実施の形態で述べたコンタクト窓の形成方法は、上記実施の形態に限られたものではなく、複数の配線層で上層の配線層の下に窒化膜を設けて、窒化膜をストップとしてエッチングすることで、同様の効果が得られることは言うまでもない。ただし、本実施の形態にそった形で用いれば、上記本実施の形態のよる効果だけでなく、第3の実施の形態や第4の実施の形態で述べた効果も合わせて奏することができるため、有利である。

【第6の実施の形態】第6の実施の形態を図31の模式工程断面図をもとに述べる。

【0175】第1実施の形態の図5(a)では、BPSG膜24をリフロー、エッチバック法またはCMP法で平坦化している。本実施の形態では、図31に示すように、ゲート電極やワード線の上に形成されたBPSG膜26の平坦化をCMP法を用いて行い、シリコン窒化膜領域24をそのストップ層として用いる。

【0176】ポリサイド電極の周囲を覆うシリコン窒化膜領域24の基板からの距離は、ゲート電極として活性層上にあるものと、配線層としてフィールド酸化膜17上にあるものとで異なるが、本実施の形態では高いほうの窒化膜スペーサだけをとってストップ層として用い、低いほう

の窒化膜スペーサの上にはBPSG膜26が残るようにしている。

【0177】このとき、研磨剤としては、たとえばシリカ系のものを用いることで、シリコン窒化膜とのエッチング選択比を高くした状態でBPSG膜を研磨することが可能である。このストップ層によりBPSG膜26は平坦化できるだけでなく、膜厚のばらつきを少なくすることもできる。

【0178】平坦化したBPSGの膜厚がばらついていると、後工程のコンタクト窓形成時のエッチング量に分布が生じる。コンタクトを確実にとるためには、コンタクト窓内のBPSG膜をすべてエッチング除去しなければならないから、BPSG膜のオーバーエッチ量を多くしなければならない。したがって、窒化膜スペーサSACを用いる場合には、このオーバーエッチで窒化膜スペーサの膜厚が減少して、ポリサイド電極と上層配線とがショートする危険性が増すため、特に、BPSG膜厚の安定性が重要である。

【0179】本実施の形態では、ストップとなる層をわざわざ形成するのではなく、窒化膜スペーサSACを用いるために必要となる、窒化膜領域24をそのまま用いることができるため、新たな工程の増加を招くことはない。また、CMPによる平坦化を行った後、さらにBPSG膜を形成して層間膜厚を厚くし、寄生容量を減少させるようにしてもよいし、第3の実施の形態で示したように、シリコン窒化膜を形成してからコンタクト窓形成工程を行なってもよい。

【0180】なお、BPSG膜26の膜厚は、上層に形成されるビット線の寄生容量に影響を与えるので、本実施の形態の方法により、膜厚ばらつきを小さくすることで、ビット線容量のばらつきを小さくすることができ、DRAMの動作の安定性を高くできるという効果もある。さらに、本実施の形態では、ワード線や配線層として用いられているフィールド絶縁膜上の窒化膜スペーサのみをストップ層として用い、ゲート電極として用いられている活性層上の窒化膜スペーサにはストップとしての役割を持たせていない。

【0181】したがって、CMP法でBPSG膜を平坦化するとき、活性層上の窒化膜スペーサが研磨されて、膜厚が減少することはない。窒化膜スペーサSACでは、窒化膜スペーサをマスクとしてセルフアラインでコンタクト窓を形成しているが、このコンタクト窓は、当然フィールド絶縁膜上には形成されず、活性層領域の拡散層上に形成されるから、窒化膜スペーサSAC工程をCMP法による平坦化で膜厚が減少していない窒化膜をマスクとして用いることができる。したがって、本実施の形態では、ストップ層を用いたCMP法により制御性のよい平坦化を行いながら、窒化膜スペーサSACによるコンタクト窓形成でポリサイド電極と上層配線層とのショートを防ぐという効果を得ることができる。

【0182】以上、本実施の形態によれば、工程を増やすことなく、製品歩留まりの向上、及び、動作の安定性が增大するという効果が得られる。

【第7の実施の形態】第7の実施の形態を図32の模式工程断面図をもとに述べる。本実施の形態では、第6の実施の形態で示した技術をビット線となる導電層上の平坦化工程に用いる。

【0183】第1の実施の形態の図7では、BPSG膜37をリフロー、エッチバック法またはCMP法で平坦化している。本実施の形態では、図32に示すように、ビット線上に形成されたBPSG膜37の平坦化をCMP法を用いて行い、シリコン窒化膜領域36をストップ層として用いる。

【0184】このとき、研磨剤としては、たとえばシリカ系のものを用いることで、シリコン窒化膜とのエッチング選択比を高くした状態でBPSG膜を研磨することが可能であることは、第6の実施の形態で述べたことと同じである。このストップ層よりBPSG膜37は平坦化できるだけでなく、膜厚のばらつきも少なくすることができると。

【0185】平坦化したBPSGの膜厚がばらついていると、後工程のコンタクト形成時のエッチング量に分布が生じ、窒化膜領域36が減少してポリサイド電極と上層の蓄積電極とがショートする危険性が増えた。特に、BPSG膜厚の安定性が重要である点も第6の実施の形態で述べたことと同じである。また、本実施の形態でも、ストップとなる層をわざわざ形成するのではなく、窒化膜スプレーサーACを用いるために必要となる、窒化膜領域36をそのまま用いることができるため、新たな工程の増加を招くことはない。

【0186】なお、BPSG膜37の厚さは蓄積電極の面積に影響し、キャパシタ容量に影響を与えるので、CMPによる平坦化を行った後、さらにBPSG膜を形成して所望の容量が得られるように厚さを設定してもよいし、第4の実施の形態で示したように、BPSG膜を2層として間に窒化膜を形成してもよい。

【第8の実施の形態】第8の実施の形態を図33の模式工程断面図をもとに述べる。

【0187】第1の実施の形態の図5(a)において、接合リク低減のためn型拡散層26を形成した。本実施の形態では、図33に示すようにメモリセル部のキャパシタ側のソース・ドレイン領域にのみn型拡散層26を形成するために、ビット線が接続される側のソース・ドレイン領域をレジスト55で覆ってから、BPSG膜26と窒化膜領域24をマスクとして、コンタクト窓27のシリコン基板中に、n型不純物であるリンを $3 \times 10^{18} \text{ cm}^{-3}$ のドーザ量でイオン注入する。

【0188】n型拡散層28は第1の実施の形態で説明したように、接合リクが大きくなるという問題を防ぐことができる。しかし、一方で、このイオン注入によ

り、ソース・ドレインの接合深さが深くなるので、トランジスタの短チャネル効果に悪影響を及ぼしたり、素子間のリーク電流が大きくなるという問題も生じる。微少な電荷を貯えるキャパシタ側の拡散層は、接合リクを十分に低くすることが要求されるのに対して、ビット線が接続される側の拡散層は、接合リクに関しては、それほど厳しくない。

【0189】本実施の形態では、そこで、前記イオン注入をキャパシタが接続される側のみに行うことにより、MOSトランジスタのソース・ドレインの内、片側は浅い接合深さとすることができ、トランジスタの短チャネル効果や、素子間のリーク電流への悪影響を抑える事が可能となる。以上第1〜第8の実施の形態にもとに本発明を説明したが、本発明は上記実施の形態にとどまるものではなく、本発明と同様な技術思想を持つプロセスに広く適用できることは言うまでもない。

【0190】上記説明では、ポリサイド電極としてWSiを用いたが、MoSiやTiSiなどその他のシリサイドでも適用できる。また、シリサイドに限らずタンダステン(W)やモリブデン(Mo)あるいは窒化チタン(TiN)やチタンタンダステン(TiW)など金属や金属化合物も使用することが可能である。なお、金属や金属化合物の場合には熱酸化法で酸化膜を形成するのが困難なので、CVD法等による酸化膜を用いばよい。

【0191】また、上記説明では、酸化膜との間に設ける絶縁膜としてシリコン酸化膜の例を述べたが、シリコン窒化膜の応力を緩和できるようなものであれば他の絶縁膜でも使用できる。特に、シリコン酸化膜(SiO<sub>2</sub>)膜を用いると、シリサイド膜上には反射防止膜としても使用できるため、工程短縮になって好ましい。また、層間絶縁膜として、BPSGの例を示したが、PSGやシリコン酸化膜などでも使用することができる。

【0192】また、エッチング方法としてウェットエッチング法による等方性エッチングとRIE法による異方性エッチングを用いる例を示したが、その他等方性のプラズマエッチング法や、ECRを用いたエッチング法など他のエッチング手法でも、用途に合わせて適宜使用することができる。また、コンタクト窓に形成するプラグとしてリンをドーパしたシリコン膜の例を示したが、p型拡散層やp型シリコン層上に形成するならば、ボロン等のp型不純物をドーパしたシリコン膜を用いばよい。なお、プラグとしてはシリコン膜に限られるわけではなく、WやTiWなどの金属や金属化合物あるいは金属シリサイドであっても構わない。

【0193】また、キャパシタ絶縁膜として窒化膜を酸化した例を示したが、タンタル酸化膜(Ta<sub>2</sub>O<sub>5</sub>)やPZTなどの高誘電体膜や強誘電体膜などを用いることができる。その場合には、蓄積電極や対向電極を金属にする一方で、電極の自然酸化膜による容量の減少や、キャパシタ絶縁膜とシリコン膜との反応を防ぐことができ

て好ましい。

【0194】また、シリコン膜としては、ポリシリコンやアモルファスシリコンを用いてもよく、不純物ドーパは、膜の成長と同時にしてもよいし、成長後に拡散法やイオン注入法などを用いてドーパしても良い。また、実施の形態ではシリンドラ型キャパシタの製造方法を例としてしたが、スタック型やFIN型など、他のキャパシタ構造に適用しても構わないことは言うまでもない。

【0195】

【発明の効果】本発明によれば、MOSトランジスタの信頼性を損なうことなく、さらにゲート電極を構成する金属シリサイド膜の剥離を防止し、窒化膜スペーサSACを可能にする。本発明は、さらに、DRAMの微細化や製造マージンの増大、製造工程の短縮等に寄与する。

【図面の簡単な説明】

【図1】本発明を説明する図である。

【図2】本発明のメモリセル部を示す模式平面図である。

【図3】本発明の第1の実施の形態を示す模式工程断面図（その1）である。

【図4】本発明の第1の実施の形態を示す模式工程断面図（その2）である。

【図5】本発明の第1の実施の形態を示す模式工程断面図（その3）である。

【図6】本発明の第1の実施の形態を示す模式工程断面図（その4）である。

【図7】本発明の第1の実施の形態を示す模式工程断面図（その5）である。

【図8】本発明の第1の実施の形態を示す模式工程断面図（その6）である。

【図9】本発明の第1の実施の形態を示す模式工程断面図（その7）である。

【図10】本発明の第1の実施の形態を示す模式工程断面図（その8）である。

【図11】本発明の第1の実施の形態を示す模式工程断面図（その9）である。

【図12】本発明の第1の実施の形態を示す模式工程断面図（その10）である。

【図13】本発明の第1の実施の形態を示す模式工程断面図（その11）である。

【図14】本発明の第1の実施の形態を示す模式工程断面図（その12）である。

【図15】本発明の第2の実施の形態を示す模式工程断面図（その1）である。

【図16】本発明の第2の実施の形態を示す模式工程断面図（その2）である。

【図17】本発明の第3の実施の形態を示す模式工程断面図（その1）である。

【図18】本発明の第3の実施の形態を示す模式工程断面図（その2）である。

面図（その2）である。

【図19】本発明の第3の実施の形態を示す模式工程断面図（その3）である。

【図20】本発明の第3の実施の形態を示す模式工程断面図（その4）である。

【図21】本発明の第3の実施の形態を示す模式工程断面図（その5）である。

【図22】本発明の第3の実施の形態の効果を説明する模式工程断面図（その1）である。

【図23】本発明の第3の実施の形態の効果を説明する模式工程断面図（その2）である。

【図24】本発明の第4の実施の形態を示す模式工程断面図（その1）である。

【図25】本発明の第4の実施の形態を示す模式工程断面図（その2）である。

【図26】本発明の第4の実施の形態を示す模式工程断面図（その3）である。

【図27】本発明の第4の実施の形態を示す模式工程断面図（その4）である。

【図28】本発明の第4の実施の形態を示す模式工程断面図（その5）である。

【図29】本発明の第5の実施の形態を示す模式工程断面図（その1）である。

【図30】本発明の第5の実施の形態を示す模式工程断面図（その2）である。

【図31】本発明の第6の実施の形態を示す模式工程断面図である。

【図32】本発明の第7の実施の形態を示す模式工程断面図である。

【図33】本発明の第8の実施の形態を示す模式工程断面図である。

【図34】窒化膜スペーサSACを説明する模式工程断面図（その1）である。

【図35】窒化膜スペーサSACを説明する模式工程断面図（その2）である。

【図36】従来技術の問題点を説明する模式工程断面図（その1）である。

【図37】従来技術の問題点を説明する模式工程断面図（その2）である。

【符号の説明】

4、19、114	シリコン膜
5、20、115	シリサイド膜
6、22	シリコン酸化膜
7、23、116	n型不純物拡散層
8、24、117	シリコン窒化膜領域
9、26、118	BPSG膜
10、27、119	コンタクト窓
25	n型不純物拡散層
28	n型不純物拡散層
31	コンタクト窓

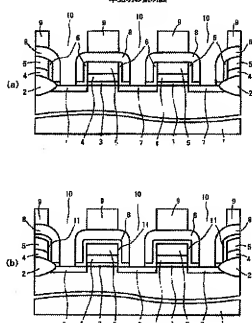
53  
 32 シリコン膜  
 33 シリサイド膜  
 34 シリコン窒化膜  
 35 シリコン酸化膜  
 36 シリコン窒化膜領域  
 38 コンタクト窓  
 39 シリダ型蓄積電極  
 40 キャパシタ対向電極

54  
 \* 41 BPSC膜  
 42、43、44、45 コンタクト窓  
 48、50 シリコン酸化膜領域  
 51、53 シリコン窒化膜  
 52、54 BPSC膜  
 123 シリコン酸化膜  
 124 シリコン窒化膜

\*

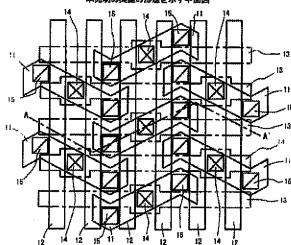
【図1】

本発明の概略図



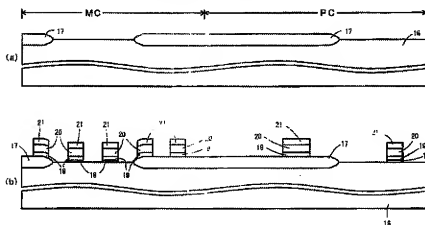
【図2】

本発明の発露の形態を示す平面図



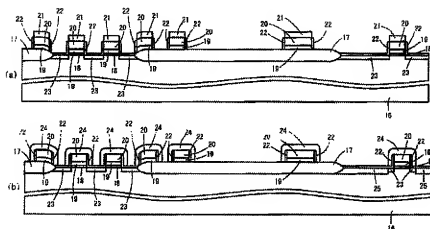
【図3】

図1の実施の形態を示す模式工程断面図（その1）



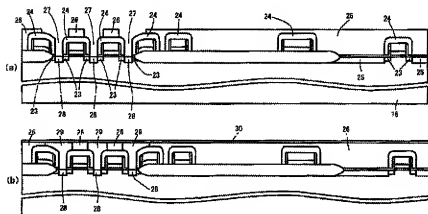
【図4】

第1の実施の形態を示す模式工程断面図（その2）



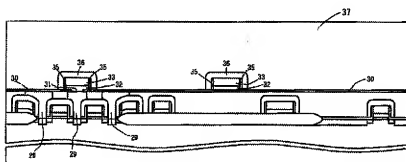
【図5】

第1の実施の形態を示す模式工程断面図（その3）



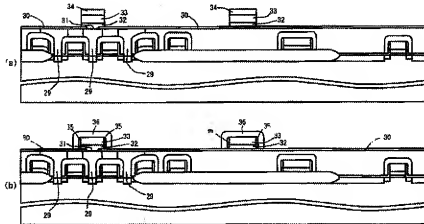
【図7】

第1の実施の形態を示す模式工程断面図（その5）



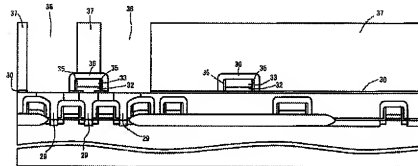
【図6】

第1の実施の形態を示す模式工断面図（その4）



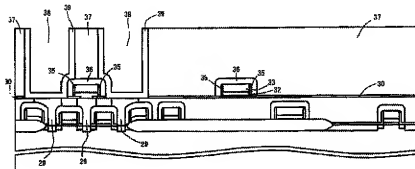
【図8】

第1の実施の形態を示す模式工断面図（その6）



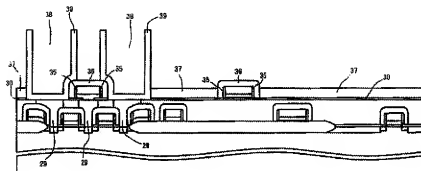
【図9】

第1の実施の形態を示す模式工断面図（その7）



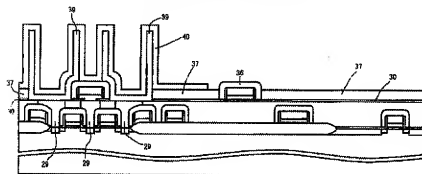
【图 10】

第1の実施の形態を示す模式工程断面図（その8）



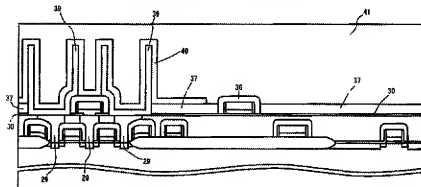
【图 1-1】

第1の実施の形態を示す模式工程断面図（その9）



【图 1 2】

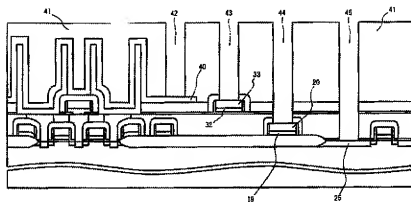
第1の実施の形態を示す模式工程断面図（その10）





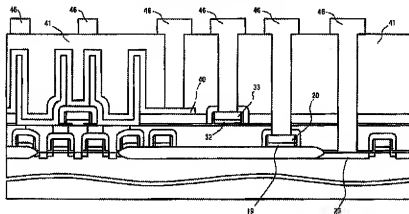
【図13】

第1の実施の形態を示す概式工程断面図（その11）



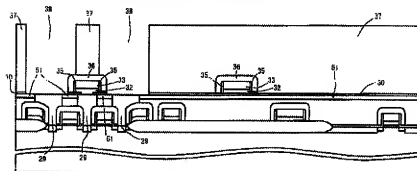
【図14】

第1の実施の形態を示す概式工程断面図（その12）



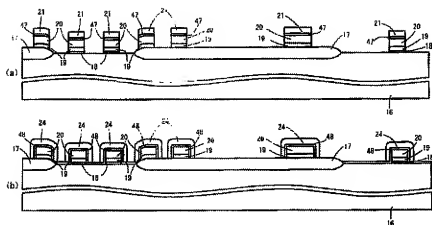
【図19】

第3の実施の形態を示す概式工程断面図（その3）



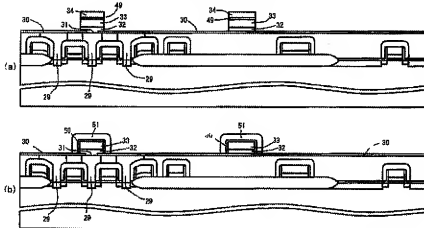
【図15】

第2の実施の形態を示す模式工程断面図（その1）



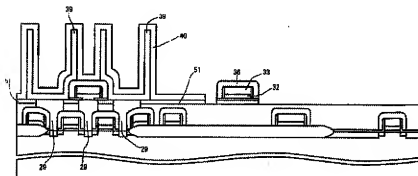
【図16】

第2の実施の形態を示す模式工程断面図（その2）



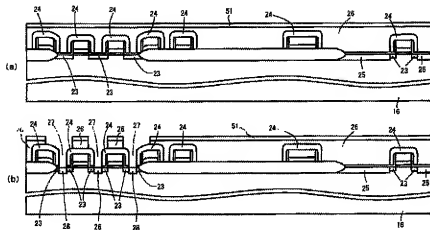
【図21】

第3の実施の形態を示す模式工程断面図（その5）



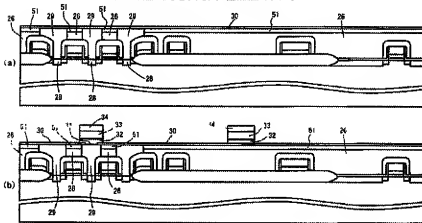
【図17】

第3の実施の形態を示す模式工程断面図（その1）



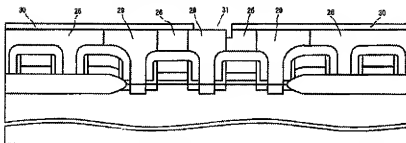
【図18】

第3の実施の形態を示す模式工程断面図（その2）



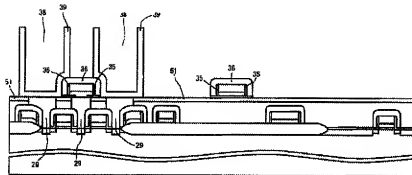
【図22】

第3の実施の形態の効果を示す模式工程断面図（その1）



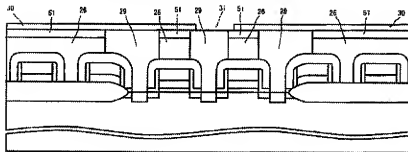
【図20】

第3の実施の形態を示す模式工断面図（その4）



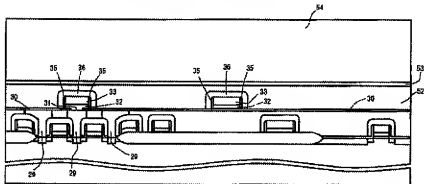
【図23】

第3の実施の形態の効果を示す模式工断面図（その2）



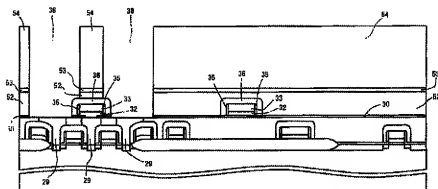
【図24】

第4の実施の形態を示す模式工断面図（その1）



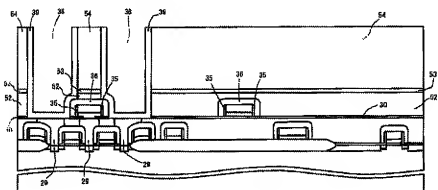
【図25】

第4の実施の形態を示す模式工断面図（その2）



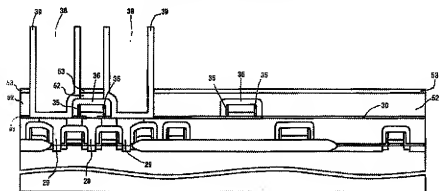
【図26】

第4の実施の形態を示す模式工断面図（その3）



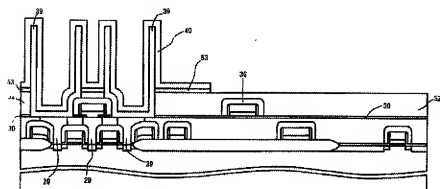
【図27】

第4の実施の形態を示す模式工断面図（その4）



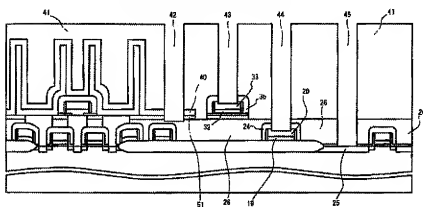
【図28】

第4の実施の形態を示す模式工程断面図（その5）



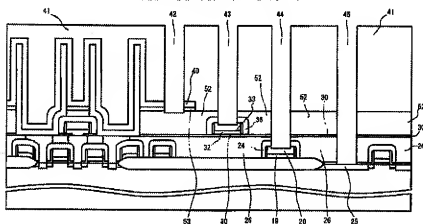
【図29】

第5の実施の形態を示す模式工程断面図（その1）



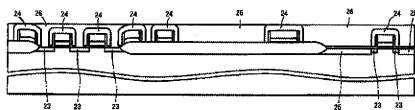
【図30】

第5の実施の形態を示す模式工程断面図（その2）



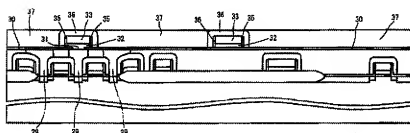
【図31】

第6の実施の形態を示す模式工程断面図



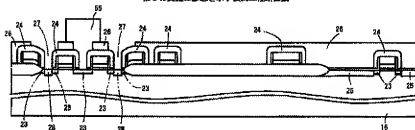
【図32】

第7の実施の形態を示す模式工程断面図



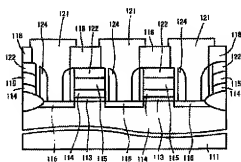
【図33】

第8の実施の形態を示す模式工程断面図



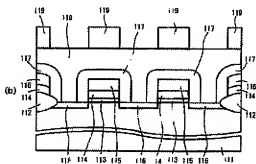
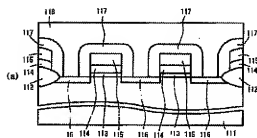
【図37】

従来例の問題点を示す図（その2）



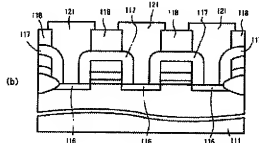
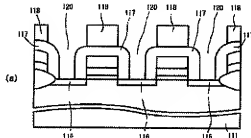
【図34】

酸化膜スベージSACを説明する  
模式工程断面図（その1）



【図35】

酸化膜スベージSACを説明する  
模式工程断面図（その2）



従来例の問題点を示す図（その1）

